

## MicroPatent® PatSearch Fulltext: Record 1 of 1

**Search scope:** US Granted US Applications EP-A EP-B WO JP (bibliographic data only) DE-C,B DE-A DE-T DE-U GB-A FR-A

**Years:** 1836-2005

**Patent/Publication No.:** ((WO9825271))

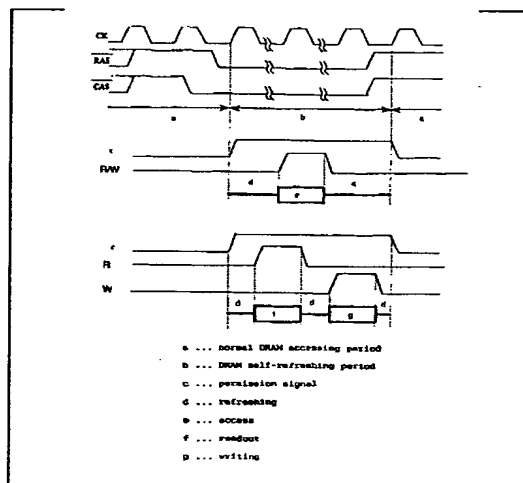


[Go to first matching text](#)

**WO9825271 A1**  
**SEMICONDUCTOR INTEGRATED**  
**CIRCUIT DEVICE**  
 HITACHI, LTD.

**Abstract:**

A semiconductor integrated circuit device for high-speed data transfer, wherein wait control is eliminated to allow a logic circuit to access a DRAM during the self-refreshing period of the DRAM. The integrated circuit comprises a chip that includes a microcomputer incorporated with a CPU, memories and peripheral circuits, and a flash memory; and another chip that includes DRAMs and a logic circuit, such as an ASIC. The control of the DRAM depends on whether the DRAM is in the normal access period or in the self-refreshing period. In the DRAM self-refreshing period, the refreshing operations are canceled so that the logic circuit can access the DRAM when the logic circuit requests the access to the DRAM by using readout/write signals R/W.



[Click here for larger image.](#)

**Inventor(s):**

NOGUCHI, Koki  
 MICHISHITA, Satoshi  
 HORIGUCHI, Masashi  
 KUBO, Masaharu  
 MIYAMOTO, Toshio  
 NISHIMURA, Asao

**Application No.** JP9603548 JP, **Filed** 19961204, **A1 Published** 19980611

**Int'l Class:** G11C011407  
 H01L027108

**BEST AVAILABLE COPY**

**Designated States:**

AL AU BA BB BG BR CA CN CU CZ EE GE HU IL IS JP KR LC LK LR LT LV  
MG MK MN MX NO NZ PL RO SG SI SK TR TT UA US UZ VN KE LS MW SD  
SZ UG AM AZ BY KG KZ MD RU TJ TM AT BE CH DE DK ES FI FR GB GR IE  
IT LU MC NL PT SE BF BJ CF CG CI CM GA GN ML MR NE SN TD TG

**Patents Cited:**

- JP8167703 (A) [0]
- JP8147966 (A) [0]
- JP8241963 (A) [0]
- JP8221313 (A) [0]

**Patents Citing This One** No US, EP, or WO patent/search reports have cited this patent.

---

**French Title:** DISPOSITIF COMPRENANT UN CIRCUIT INTEGRE A SEMI-CONDUCTEUR

**French Abstract:** Cette invention concerne un dispositif comprenant un circuit intégré à semi-conducteur et permettant de transférer des données à grande vitesse. La commande d'attente est éliminée de manière à ce qu'un circuit logique puisse accéder à la mémoire DRAM lors de la période de régénération automatique de celle-ci. Ce circuit intégré comprend, d'une part, une puce qui comprend un micro-ordinateur incorporé à une UCT, des mémoires et des circuits périphériques ainsi qu'une mémoire flash et, d'autre part, une autre puce qui comprend des mémoires DRAM et un circuit logique tel qu'un circuit intégré à application spécifique (ASIC). La commande de la mémoire DRAM dépend du mode de celle-ci, à savoir si elle se trouve en période d'accès normal ou en période de régénération automatique. Lorsque la mémoire DRAM se trouve en période de régénération automatique, les opérations de régénération sont annulées de sorte que le circuit logique puisse accéder à ladite mémoire DRAM lorsqu'il en fait la requête en utilisant des signaux de lecture/écriture (R/W).

---



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)



<b>(51) 国際特許分類6</b> <b>G11C 11/407, H01L 27/108</b>	<b>A1</b>	<b>(11) 国際公開番号</b> <b>WO98/25271</b>  <b>(43) 国際公開日</b> 1998年6月11日(11.06.98)
<b>(21) 国際出願番号</b> PCT/JP96/03548  <b>(22) 国際出願日</b> 1996年12月4日(04.12.96)  <b>(71) 出願人 (米国を除くすべての指定国について)</b> 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) <b>(72) 発明者 ; および</b> <b>(75) 発明者 / 出願人 (米国についてのみ)</b> 野口孝樹(NOGUCHI, Koki)(JP/JP) 〒156 東京都世田谷区上北沢三丁目23番18号 Tokyo, (JP) 道下 智(MICHISHITA, Satoshi)(JP/JP) 〒359 埼玉県所沢市下安松569-9 Saitama, (JP) 堀口真志(HORIGUCHI, Masashi)(JP/JP) 〒214 神奈川県川崎市多摩区中野島6丁目29番2-207号 Kanagawa, (JP) 久保征治(KUBO, Masaharu)(JP/JP) 〒192 東京都八王子市暁町2-29-8 Tokyo, (JP) 宮本俊夫(MIYAMOTO, Toshio)(JP/JP) 〒187 東京都小平市上水本町五丁目19番1号416 Tokyo, (JP) 西村朝雄(NISHIMURA, Asao)(JP/JP) 〒185 東京都国分寺市本町4丁目13番12号 第5荒田ビル405号 Tokyo, (JP)		<b>(74) 代理人</b> 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)  <b>(81) 指定国</b> AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, ARIPO特許 (KE, LS, MW, SD, SZ, UG), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).  添付公開書類 国際調査報告書
<b>(54)Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE</b>		
<b>(54)発明の名称</b> 半導体集積回路装置		
<b>(57) Abstract</b>		
<p>A semiconductor integrated circuit device for high-speed data transfer, wherein wait control is eliminated to allow a logic circuit to access a DRAM during the self-refreshing period of the DRAM. The integrated circuit comprises a chip that includes a microcomputer incorporated with a CPU, memories and peripheral circuits, and a flash memory; and another chip that includes DRAMs and a logic circuit, such as an ASIC. The control of the DRAM depends on whether the DRAM is in the normal access period or in the self-refreshing period. In the DRAM self-refreshing period, the refreshing operations are canceled so that the logic circuit can access the DRAM when the logic circuit requests the access to the DRAM by using readout/write signals R/W.</p>		
<p>a ... normal DRAM accessing period b ... DRAM self-refreshing period c ... permission signal d ... refreshing e ... access f ... readout g ... writing</p>		



PCT

特許協力条約に基づいて公開された国際出願

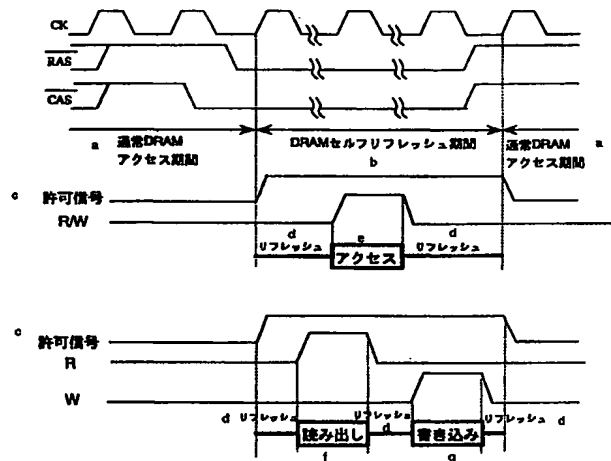
<p>(51) 国際特許分類6 G11C 11/407, H01L 27/108</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/25271</p> <p>(43) 国際公開日 1998年6月11日(11.06.98)</p>
<p>(21) 国際出願番号 PCT/JP96/03548</p> <p>(22) 国際出願日 1996年12月4日(04.12.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてののみ) 野口孝樹(NOGUCHI, Koki)(JP/JP) 〒156 東京都世田谷区上北沢三丁目23番18号 Tokyo, (JP) 道下 智(MICHISHITA, Satoshi)(JP/JP) 〒359 埼玉県所沢市下安松569-9 Saitama, (JP) 堀口真志(HORIGUCHI, Masashi)(JP/JP) 〒214 神奈川県川崎市多摩区中野島6丁目29番2-207号 Kanagawa, (JP) 久保征治(KUBO, Masaharu)(JP/JP) 〒192 東京都八王子市暁町2-29-8 Tokyo, (JP) 宮本俊夫(MIYAMOTO, Toshio)(JP/JP) 〒187 東京都小平市上水本町五丁目19番1号416 Tokyo, (JP) 西村朝雄(NISHIMURA, Asao)(JP/JP) 〒185 東京都国分寺市本町4丁目13番12号 第5荒田ビル405号 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, TR, TT, UA, US, UZ, VN, ARIPO特許 (KE, LS, MW, SD, SZ, UG), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54)発明の名称 半導体集積回路装置

(57) Abstract

A semiconductor integrated circuit device for high-speed data transfer, wherein wait control is eliminated to allow a logic circuit to access a DRAM during the self-refreshing period of the DRAM. The integrated circuit comprises a chip that includes a microcomputer incorporated with a CPU, memories and peripheral circuits, and a flash memory; and another chip that includes DRAMs and a logic circuit, such as an ASIC. The control of the DRAM depends on whether the DRAM is in the normal access period or in the self-refreshing period. In the DRAM self-refreshing period, the refreshing operations are canceled so that the logic circuit can access the DRAM when the logic circuit requests the access to the DRAM by using readout/write signals R/W.



- a ... normal DRAM accessing period
- b ... DRAM self-refreshing period
- c ... permission signal
- d ... refreshing
- e ... access
- f ... readout
- g ... writing

(57) 要約

ウェイト制御を不要にしてDRAMのセルフリフレッシュ期間にロジック回路からDRAMに対するアクセス動作を可能にして、データ転送の高速化が実現できる半導体集積回路装置である。CPU、メモリおよび周辺回路などを含むマイクロコンピュータとフラッシュメモリとが搭載されたチップと、DRAMとASICなどのロジック回路とが搭載されたチップとからなる半導体集積回路装置において、DRAMに対する動作制御は、通常のDRAMアクセスを実行可能な通常DRAMアクセス期間と、DRAMのセルフリフレッシュを実行可能なDRAMセルフリフレッシュ期間とがあり、DRAMセルフリフレッシュ期間には、ロジック回路からDRAMに対する読み出し／書き込み信号R／Wによる読み出し／書き込みのためのアクセス動作の要求があった場合にリフレッシュ動作を解除し、DRAMに対するロジック回路からのアクセス動作を可能としている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GB	英国	LV	ラトヴィア	TD	チャド
AU	オーストラリア	GE	グルジア	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GH	ガーナ	MD	モルドバ	TM	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GN	ギニア	MG	マダガスカル	TT	トリニダド
BB	バルバドス	GW	ギニア・ビサウ	MK	マケドニア共和国	TR	トルコ
BE	ベルギー	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
BF	ブルキナ・ファソ	IE	アイルランド	MN	モンゴル	UA	ウクライナ
BJ	ブルンジ	IL	イスラエル	MR	モーリタニア	UG	ウガンダ
BM	バハマ	IS	アイスランド	MW	モザンビーク	US	米国
BN	ブルネイ	IT	イタリア	MX	メキシコ	UZ	ウズベキスタン
BO	ボリビア	JP	日本	NE	ニジェール	VN	ベトナム
BR	ブラジル	KE	ケニア	NL	オランダ	YU	ユーゴスラヴィア
BS	バハマ	KR	韓国	NZ	ニュージーランド	ZW	ジンバブエ
CA	カナダ	KG	キルギス	PL	ポーランド		
CC	中央アフリカ共和国	KZ	カザフスタン	PT	ポルトガル		
CF	中央アフリカ共和国	LC	セント・ルシア	RO	ルーマニア		
CG	コンゴ	LI	リヒテンシュタイン	RU	ロシア		
CH	スイス	LK	スリランカ	SE	スウェーデン		
CI	コートジボワール	LS	レソト	SG	シンガポール		
CM	カメルーン			SK	スロバキア		
CN	中国			SL	シエラ・レオネ		
CU	キューバ						
CY	キプロス						
CZ	チェコ						
DE	ドイツ						
DK	デンマーク						
EE	エストニア						
ES	スペイン						

## 明 細 書

## 半導体集積回路装置

## 技術分野

- 5 本発明は、MCM (Multi Chip Module) 的なアプローチから複数種類の半導体チップを互いに信号の入出力が可能となるように単一のパッケージに収納した半導体集積回路装置に関し、特に、CPU (Central Processing Unit)を含むマイクロコンピュータ、フラッシュメモリなどのプログラマブルな不揮発性メモリ、DRAM (Dynamic Random Access Memory) およびASIC (Application Specific Integrated Circuit)などのロジックLSIをワンパッケージ化した半導体集積回路装置に適用して有効な技術に関する。

## 背景技術

- 15 本発明者は、システムオンチップに関する半導体集積回路装置において、顧客ニーズの高いDRAM・SIMM (Single In-line memory Module) のアプローチ、フラッシュメモリ・DRAMのマイクロコンピュータオンチップの実現に当たり、マイクロコンピュータ、フラッシュメモリ、DRAM、ASICなどを全てワンチップ化するのではなく、MCM的なアプローチから複数種類の半導体チップを単一パッケージに収納して互いに信号の入出力を可能とする技術について
- 20 検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

- 近年、マルチメディア、情報通信などの先端技術分野においては、マイクロコンピュータ、フラッシュメモリ、DRAM、ASICなどをワンチップ上に形成することによって、データ転送速度の高速化、省スペース（実装密度向上）、低消費電力化などを図ろうとする動きが活発になっている。しかしながら、このよ
- 25 うな多種類のLSIをワンチップ上に形成しようとすると、半導体製造プロセスの負担が極めて大きくなる。

以下、その理由を本発明者が検討したマイクロコンピュータ、フラッシュメモリ、DRAM、ASIC混載プロセスに基づいて説明する。この混載プロセスの

概略は次の通りである。

まず、図78に示すように、半導体基板100の主面にp型不純物（ホウ素）をイオン打ち込みしてp型ウエル101を形成した後、p型ウエル101の表面にLOCOS法でフィールド酸化膜102を形成する。図の左端に形成される素子はDRAMのメモリセルを構成するMOSFET、その右隣りに形成される素子はフラッシュメモリのメモリセルを構成するMOSFETとフラッシュメモリの周辺回路の一部を構成する高耐圧MOSFET、右端に形成される素子はマイクロコンピュータ、ASICなどのロジックLSIを構成するMOSFETである。なお、実際のLSIは、主としてnチャネル型MOSFETとpチャネル型MOSFETで構成されるが、ここでは説明を簡単にするために、nチャネル型MOSFETを形成する領域のみを図示する。

次に、図79に示すように、フラッシュメモリのトンネル酸化膜103を形成する。このトンネル酸化膜103の膜厚は、8～13 nm程度とする。

次に、図80に示すように、半導体基板100上にCVD法で堆積した多結晶シリコン膜をパターニングしてフラッシュメモリのフローティングゲート104（の一部）を形成した後、図81に示すように、その上部に酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を積層した膜厚10～30 nm程度の第2ゲート絶縁膜（ONO膜）105を形成する。

次に、図82に示すように、フラッシュメモリの周辺回路領域に高耐圧MOSFETのゲート酸化膜106を形成する。このゲート酸化膜106は、耐圧を高くするために、他のMOSFETのゲート酸化膜よりも厚い膜厚（10～30 nm）で形成する。

次に、図83に示すように、ロジックLSIを構成するMOSFETのゲート酸化膜107とDRAMのメモリセルを構成するMOSFETのゲート酸化膜130とを形成する。ゲート酸化膜107の膜厚は4～10 nm程度とし、ゲート酸化膜130の膜厚は8～15 nm程度とする。

次に、図84に示すように、半導体基板100上にCVD法で堆積した多結晶シリコン膜をパターニングして、DRAMのメモリセルのゲート電極（ワード線）108、フラッシュメモリのコントロールゲート109、高耐圧MOSFETの

ゲート電極110、ロジックLSIを構成するMOSFETのゲート電極111を同時に形成した後、図85に示すように、フラッシュメモリの（部分的に形成された）フローティングゲート104をバターンニングしてフローティングゲート104を形成する。

- 5 次に、図86に示すように、フラッシュメモリのメモリセル領域の一部にn型不純物（リンおよびヒ素）をイオン打ち込みしてフラッシュメモリのn<sup>+</sup>型半導体領域112を形成した後、図87に示すように、フラッシュメモリのメモリセル領域の一部と周辺回路領域およびロジックLSI形成領域にn型不純物（リンおよびヒ素）をイオン打ち込みして、フラッシュメモリのn<sup>+</sup>型半導体領域113、
- 10 113、高耐圧MOSFETのn<sup>+</sup>型半導体領域113、113、ロジックLSIを構成するMOSFETのn<sup>+</sup>型半導体領域113、113を同時に形成する。

- 次に、図88に示すように、DRAMのメモリセルのゲート電極（ワード線）108、フラッシュメモリのコントロールゲート109、高耐圧MOSFETのゲート電極110、ロジックLSIを構成するMOSFETのゲート電極111
- 15 の側壁にサイドウォールスペーサ114を形成する。

- 次に、図89に示すように、フラッシュメモリのメモリセル領域の一部と周辺回路領域およびロジックLSI形成領域にn型不純物（リンまたはヒ素）をイオン打ち込みして、フラッシュメモリのn<sup>+</sup>型半導体領域115、高耐圧MOSFETのn<sup>+</sup>型半導体領域115、115、ロジックLSIを構成するMOSFETの
- 20 n<sup>+</sup>型半導体領域115、115を同時に形成することにより、フラッシュメモリのソース領域、ドレイン領域の一方と高耐圧MOSFETのソース領域、ドレイン領域とロジックLSIを構成するMOSFETのソース領域、ドレイン領域をLDD (Lightly Doped Drain) 構造にする。

- 次に、図90に示すように、半導体基板100上にCVD法で堆積した酸化シリコン膜116をエッチングしてDRAMのゲート電極（ワード線）の両側に接続孔を形成し、フラッシュメモリのn<sup>+</sup>型半導体領域112の上部に接続孔を形成した後、これらの接続孔の内部に多結晶シリコン膜のプラグ117を形成する。
- 25 DRAMのゲート電極の両側には、この多結晶シリコン膜から拡散した不純物によってn型半導体領域118が形成される。その後、酸化シリコン膜116上に



CVD法で堆積した多結晶シリコン膜をパターニングしてDRAMのビット線BLとフラッシュメモリのビット線BLを形成する。

次に、図91に示すように、半導体基板100上にCVD法で酸化シリコン膜119を堆積した後、酸化シリコン膜119上に堆積した多結晶シリコン膜をパターニングしてDRAMのキャパシタの下部電極120を形成する。

次に、図92に示すように、半導体基板100上に堆積した酸化タンタル膜（または窒化シリコン膜）と多結晶シリコン膜とをパターニングしてDRAMのキャパシタの容量絶縁膜121と上部電極122とを形成した後、図93に示すように、半導体基板100上にCVD法で酸化シリコン膜123を堆積し、酸化シリコン膜123上に堆積したAl膜をパターニングして第1層目のメタル配線124を形成する。その後、図94に示すように、半導体基板100上にCVD法で酸化シリコン膜125を堆積した後、酸化シリコン膜125上に堆積したAl膜をパターニングして第2層目のメタル配線126を形成する。

以上がマイクロコンピュータ、フラッシュメモリ、DRAM、ASIC混載プロセスの概略である。

本発明者の検討によれば、上記の混載プロセスには次のような問題がある。

(1) ロジック部の高速化を図るためにはMOSFETのゲート長を短くして、ゲート酸化膜の膜厚を薄くする必要がある。他方、DRAM部のMOSFETのゲート酸化膜は、耐圧を考慮して、ロジック部のMOSFETのゲート酸化膜よりもある程度厚くする必要がある。さらに、高耐圧が印加されるフラッシュメモリの高耐圧MOSFETのゲート酸化膜は、十分な耐圧を確保するためにさらに膜厚を厚くする必要がある。すなわち、DRAM、ロジック、フラッシュメモリを混載する場合は、要求される電源レベルに応じて異なる膜厚のゲート酸化膜が必要となるので、工程数、マスク数が大幅に増加する。

(2) DRAMを1トランジスタ+1キャパシタで構成すると、キャパシタ形成時に高温熱処理（酸化タンタル膜を安定化するための熱処理、あるいは窒化シリコン膜を形成するための高温窒化処理）が入るので、ロジック部のゲート長を多少長めに設定する必要がある。しかし、ロジック部のゲート長を長くすると、ロジック部の高速性が犠牲になってしまう。

(3) 半導体チップ上におけるDRAM部の標高がロジック部よりも高く、両者間に段差が生じるため、配線形成に悪影響を及ぼす。特に、積層型キャパシタ(Stacked Capacitor)構造を採用するDRAMの場合はこの傾向が顕著である。

5      このように、DRAM、ロジック、フラッシュメモリのそれぞれの性能を共に維持しながらワンチップ化を図ろうとすると、工程数、マスク数が大幅に増加するか、あるいはワンチップ化に適した混載プロセスを新たに開発しなければならず、いずれの場合も製造コストが大幅に高くなる。

10      また、前記のような製造プロセス的なコスト分析に加えて、機能ブロック構成による回路的にも、CPUを含むマイクロコンピュータシステムにはフラッシュメモリとDRAMとの両方を搭載する要求が強く、組み込み機器への実装性を考えた場合に、フラッシュメモリとDRAMとの2種類の半導体チップをワンパッケージ化することは必須である。そこで、本発明者は、互いの半導体チップの共通信号を共通の外部接続端子に割り当てることで、外部接続端子数の低減、複数種類の半導体チップのワンパッケージ化による実装面積の縮小を図り、回路的にも

15      もマイクロコンピュータシステムのコストダウンが可能となることを考えついた。

20      本発明の一つの目的は、CPUおよびフラッシュメモリとDRAMとの2種類の半導体チップをワンパッケージ化したパッケージ構造において、機能ブロック構成による回路的にも、外部接続端子数の低減、2種類の半導体チップのワンパッケージ化による実装面積の縮小を図り、マイクロコンピュータシステムのコストダウンを可能とすることができる半導体集積回路装置を提供することにある。

25      さらに、本発明の一つの目的は、それぞれの半導体チップにASICなどのロジック回路を内蔵する場合、DRAMをシンクロナスDRAMとする場合には、さらに外部接続端子を共通にすることができるので、より一層、外部接続端子数を低減してコストダウンを図ることができる半導体集積回路装置を提供することにある。

さらに、本発明の一つの目的は、上記のような半導体集積回路装置を安価に提供することにある。

また、前記のようなマイクロコンピュータシステムにおいて、例えばCPUとフラッシュメモリを搭載した、いわゆるフラッシュメモリ搭載マイクロコンピュ

ータと称される半導体チップと、DRAMとASICなどのロジック回路とを搭載した、いわゆるDRAMオンチップロジックと称される半導体チップとの2種類の半導体チップを考えた場合に、フラッシュメモリ搭載マイクロコンピュータとDRAMオンチップロジックとの間の動作対策が必須である。すなわち、フラッシュメモリ搭載マイクロコンピュータのCPUからDRAMオンチップロジックのDRAMに対するアクセス動作と、DRAMオンチップロジックの内部におけるロジック回路からDRAMに対するアクセス動作とにおけるデータ転送速度の対策が要求される。

例えば、前記のようなフラッシュメモリ搭載マイクロコンピュータとDRAMオンチップロジックとの半導体チップ同士を高速でつなげたいというときには、DRAMの直結インタフェースを使うことで高速でつなぐことができるが、もしDRAMオンチップロジックのロジック回路がDRAMをアクセスしたいというときには、第1の方法としてロジック回路が動作をしているときにウェイト信号をCPUに返す方法がある。この方法では、フラッシュメモリ搭載マイクロコンピュータとDRAMオンチップロジックとの間を非同期のメモリとして扱わなければならないので、1クロックサイクルの転送ができず、すなわちウェイト信号を見ている時間がとれないので2クロックサイクルのデータ転送となる。

また、1クロックサイクルを実現することができる第2の方法として、オンチップロジック自身をフラッシュメモリ搭載マイクロコンピュータにバスアービトレーションする方法がある。この方法では、DRAMオンチップロジックのロジック回路がCPUに対してバスの開放を要求するリクエスト信号を出力し、ロジック回路にバスを開放している期間にはCPUは何もすることができないので、アービトレーションのオーバーヘッドが大きくなることと、CPU自身が時間的なコントロールができないという不具合が生じる。

そこで、本発明者は、フラッシュメモリ搭載マイクロコンピュータのCPU自身が時間をコントロールした方が好ましいということに着目し、フラッシュメモリ搭載マイクロコンピュータのCPUから見たDRAMのセルフリフレッシュ期間を有効に利用し、DRAMのセルフリフレッシュ動作を可能にすると共に、このセルフリフレッシュ期間に、DRAMオンチップロジックの内部におけるロジ

ック回路からDRAMに対するアクセス動作を可能とすることで、フラッシュメモリ搭載マイクロコンピュータとDRAMオンチップロジックとの間のデータ転送の高速化が実現できることを考えついた。

5 本発明の一つの目的は、DRAMとASICなどのロジック回路とが搭載された半導体チップにおいて、ウェイト制御を不要にして外部から見たDRAMのセルフリフレッシュ期間を有効に利用し、このセルフリフレッシュ期間にロジック回路からDRAMに対するアクセス動作を可能にして、外部と半導体チップとの間のデータ転送の高速化を実現することができる半導体集積回路装置を提供することにある。

10 また、DRAMとロジック回路とが搭載された半導体チップと、CPUとフラッシュメモリとが搭載された半導体チップとの2種類のチップをワンパッケージ化したパッケージ構造においても、ウェイト制御を不要にしてCPUから見たDRAMのセルフリフレッシュ期間にロジック回路からDRAMに対するアクセス動作を可能にして、半導体チップ間のデータ転送の高速化を実現することができる半導体集積回路装置を提供することにある。

さらに、ウェイト信号のやり取りをするウェイト制御が不要となり、処理のタイミング自身をCPUからコントロールすることができるので、プログラム作成を容易にすることができる半導体集積回路装置を提供することにある。

20 また、汎用のDRAMインタフェースを使用することにより、DRAMとロジック回路とが搭載された半導体チップと、CPUとフラッシュメモリとが搭載された半導体チップとを高速動作可能に直結することができる半導体集積回路装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

25

#### 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、本発明の一つの半導体集積回路装置は、少なくともCPUとフラッ

シュメモリとが形成されている第1の半導体チップと、少なくともDRAMが形成されている1つまたは複数の第2の半導体チップとからなり、前記第1の半導体チップと前記1つまたは複数の第2の半導体チップとは互いに信号の入出力が可能に同一のパッケージの内部に収納され、かつ前記第1の半導体チップの複数の  
5 接続端子と前記1つまたは複数の第2の半導体チップの複数の接続端子とにそれぞれ接続されている複数の外部接続端子を有するものである。

また、本発明の一つの半導体集積回路装置は、前記1つまたは複数の第2の半導体チップに、少なくともDRAMとロジック回路とが形成されているものである。

10 さらに、本発明の一つの半導体集積回路装置は、前記第1の半導体チップに、少なくともDRAMとロジック回路とが形成されているものである。

特に、前記半導体集積回路装置は、前記複数の外部接続端子のうち、前記第1の半導体チップの複数の接続端子と前記1つまたは複数の第2の半導体チップの複数の接続端子とに互いに共通の信号端子は前記複数の外部接続端子の同一の外部  
15 接続端子に共通に割り当てられ、前記共通に割り当てられている同一の外部接続端子は、アドレス端子およびデータ入出力端子、電源端子および接地端子、アドレスストロブ端子、書き込みイネーブル端子および出力イネーブル端子、さらに割り込み端子であり、前記共通に割り当てられている同一の外部接続端子はバス仕様に規格化されているものである。

20 また、前記DRAMはシンクロナスDRAMであり、かつ前記第1の半導体チップのクロック端子と前記1つまたは複数の第2の半導体チップのクロック端子は前記複数の外部接続端子の同一の外部接続端子に共通に割り当てられているものであり、さらに前記DRAMはシンクロナスDRAM、EDO-DRAMとするものである。

25 よって、前記した半導体集積回路装置によれば、CPUおよびフラッシュメモリによる半導体チップとDRAMによる半導体チップとの2種類の半導体チップをワンパッケージ化したパッケージ構造において、機能ブロック構成による回路的にも、外部接続端子数の低減、2種類の半導体チップのワンパッケージ化による実装面積の縮小を図り、マイクロコンピュータシステムのコストダウンを可能

とすることができる。

- さらに、それぞれのチップにA S I Cなどのロジック回路を内蔵する場合、D R A MをシンクロナスD R A Mとする場合には、さらに外部接続端子を共通にすることができるので、より一層、外部接続端子数を低減してコストダウンを図ることができる。
- 5

- 本発明の一つの半導体集積回路装置は、少なくともD R A Mとロジック回路とが形成されている半導体チップからなり、前記ロジック回路は、少なくとも、前記D R A Mに対する書き込み動作／読み出し動作のアクセス動作を制御すると共に、前記D R A Mのセルフリフレッシュ動作時はリフレッシュ動作／アクセス動作
- 10
- 作を実行可能な制御手段と、前記D R A Mに格納されているデータを処理すると共に、前記D R A Mに格納されているデータの処理時は前記制御手段に対して書き込み要求／読み出し要求を出力する処理手段とを有するものである。

- また、本発明の一つの半導体集積回路装置は、少なくともC P Uとフラッシュメモリとが形成されている第1の半導体チップと、少なくともD R A Mとロジック回路とが形成されている1つまたは複数の第2の半導体チップとからなり、前記第1の半導体チップと前記1つまたは複数の第2の半導体チップとは互いに信号の入出力が可能に同一のパッケージの内部に収納され、かつ前記第1の半導体チップの複数の接続端子と前記1つまたは複数の第2の半導体チップの複数の接続端子とにそれぞれ接続されている複数の外部接続端子を有し、前記第2の半導
- 15
- 体チップのロジック回路は、少なくとも、前記D R A Mに対する書き込み動作／読み出し動作のアクセス動作を制御すると共に、前記D R A Mのセルフリフレッシュ動作時はリフレッシュ動作／アクセス動作を実行可能制御手段と、前記D R A Mに格納されているデータを処理すると共に、前記D R A Mに格納されているデータの処理時は前記制御手段に対して書き込み要求／読み出し要求を出力する
- 20
- 処理手段とを有するものである。
- 25

特に、前記制御手段は、通常のアクセス動作時は前記D R A Mをメモリ機能として実行し、かつセルフリフレッシュ動作時は前記処理手段の要求に従ってリフレッシュ動作／アクセス動作を実行するものである。前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の書き込み要求、

読み出し要求に従ってアクセス動作を繰り返すと共に、書き込み動作、読み出し動作の間の期間にリフレッシュ動作を実行するものである。

- また、前記制御手段は、外部から入力されるアドレスストローブ信号に基づいて、前記D R A Mに対する通常書き込み動作／読み出し動作を実行するアクセス期間と、前記処理手段に対して出力したセルフリフレッシュ許可信号に対する応答の書き込み要求信号／読み出し要求信号を入力としてリフレッシュ動作／アクセス動作を実行するセルフリフレッシュ期間とを設定するものである。前記セルフリフレッシュ期間は、前記処理手段からの書き込み要求信号を入力として書き込み動作を実行する書き込みアクセス期間と、前記処理手段からの読み出し要求信号を入力として読み出し動作を実行する読み出しアクセス期間と、前記書き込みアクセス期間および前記読み出しアクセス期間を除く期間でリフレッシュ動作を実行するリフレッシュ期間とからなるものである。

- さらに、前記半導体チップの内部データバスのデータ幅は、前記半導体チップの外部接続端子のデータ入出力端子のデータ幅よりも広いものである。また、前記半導体チップのインタフェースは、前記D R A Mのみの半導体チップのインタフェース仕様に規格化されているものである。前記D R A MはシンクロナスD R A M、E D O - D R A Mとするものである。

- よって、前記した半導体集積回路装置によれば、D R A MとA S I Cなどのロジック回路とが搭載された半導体チップにおいて、ウェイト制御を不要にして、外部からみたD R A Mのセルフリフレッシュ期間にロジック回路からD R A Mに対するアクセス動作を行うことができるので、外部と半導体チップとの間のデータ転送の高速化を実現することができる。特に、C P U自身が時間をコントロールして1クロックサイクルを実現することにより、ウェイト信号のやり取りをしないで済むので、高速アクセスを行うことができる。

- また、D R A Mとロジック回路とが搭載された半導体チップと、C P Uとフラッシュメモリとが搭載された半導体チップとの2種類の半導体チップをワンパッケージ化したパッケージ構造においても、同様にC P Uから見たD R A Mのセルフリフレッシュ期間にロジック回路からD R A Mに対するアクセス動作が可能になるので、半導体チップ間のデータ転送の高速化を実現することができる。

さらに、ウェイト信号のやり取りをするウェイト制御が不要となるので、処理のタイミング自身をCPUからコントロールすることができる、すなわち処理をするタイミング自身をCPUのプログラムの中で分かるので、プログラム作成を容易にすることができる。

- 5      また、汎用のDRAMインタフェースを使用することにより、DRAMとロジック回路とが搭載された半導体チップと、CPUとフラッシュメモリとが搭載された半導体チップとを高速動作可能に直結することができる。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

#### 図面の簡単な説明

- 図1～図6は本発明の実施の形態である半導体集積回路装置の構成例を示す概略構成図、図7～図14は本発明の実施の形態である半導体集積回路装置を構成する半導体チップの内部構成例を示す機能ブロック図と端子機能例を示す説明図、
- 15    図15～図18は半導体チップの端子機能例の一覧を示す説明図、図19、図20は半導体チップの接続例を示す接続図、図21は半導体チップの内部機能例を概略的に示す概略構成図、図22はDRAMアクセス制御部の詳細例を示す構成図、図23は内部制御信号生成回路による動作モードの遷移状態例を示す説明図、図24はDRAMに対するDRAMアクセス制御部の制御例を示す動作タイミング図、
- 20    図25は本発明の実施の形態であるパッケージの全体斜視図、図26はこのパッケージの断面図、図27、図28はテープキャリアの一面に形成されたリードのパターンを示す平面図、図29～図37は本発明の実施の形態である半導体集積回路装置の製造方法を示す断面図、図38～図66はこの半導体集積回路装置の他の製造方法を示す断面図、図67～図69はテープキャリアの一面に形成されたリードのパターンを示す平面図、
- 25    図70～図72はこの半導体集積回路装置の他の実施の形態を示す断面図、図73～図77は本実施の形態の半導体集積回路装置を用いたシステム構成例を示す機能ブロック図、図78～図94は本発明者が検討したマイクロコンピュータ、フラッシュメモリ、DRAM、ASIC混載プロセスを示す断面図である。



発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

- 5      まず、図1～図6を用いて本実施の形態の半導体集積回路装置の構成例を説明する。

- 本実施の形態の半導体集積回路装置は、例えば複数種類の半導体チップを互いに信号の入出力が可能に接続した積層構造のLSIパッケージであり、その一構成例は図1に示すように、CPU、メモリおよび周辺回路などを含むマイクロコンピュータMとフラッシュメモリFとが搭載された、いわゆるフラッシュメモリ搭載マイクロコンピュータと称されるチップMF（第1の半導体チップ）と、DRAMDとASICなどのロジック回路Aとが搭載された、いわゆるDRAMオンチップロジックと称されるチップAD（第2の半導体チップ）とからなり、それぞれのチップMFとチップADとの接続端子はパッケージの内部においてバスを介して相互に接続されていると共に、外部との接続を可能とする外部接続端子に接続されている。
- 10  
15

- ここで、フラッシュメモリFとは、LSIメモリの一つでプログラマブルな不揮発性メモリをいい、メモリセルに高電圧を印加することによって書込みあるいは消去を行うメモリである。また、DRAMDとは、LSIメモリの一つでデータの内容を保持するために繰り返しデータ再生用の制御（リフレッシュ）信号を供給する必要があるメモリである。さらに、ASICとは、特定用途向けICまたは専用ICをいい、大容量メモリLSIやマイクロプロセッサLSIのように一般市場で販売される汎用LSIとは異なり、特定機器用に開発し、販売するLSIである。
- 20

- 25      また、他の構成例としては、図2に示すように、CPU、メモリおよび周辺回路などを含むマイクロコンピュータMとフラッシュメモリFとが搭載されたチップMF（第1の半導体チップ）と、DRAMDのみが搭載されたチップD（第2の半導体チップ）とからなり、図1の構成例に対して、第2の半導体チップからASICなどのロジック回路Aを取り除いた構成となっている。

さらに、他の構成例としては、図 3 に示すように、CPU、メモリおよび周辺回路などを含むマイクロコンピュータMとフラッシュメモリFとロジック回路Aとが搭載された、いわゆるフラッシュメモリ搭載オンチップロジックマイクロコンピュータと称されるチップMFA（第1の半導体チップ）と、DRAMDのみが搭載されたチップD（第2の半導体チップ）とからなり、図2の構成例に対して、第1の半導体チップにASICなどのロジック回路Aが搭載された構成となっている。

その他にも、例えば前記図1の変形例として、図4に示すようにチップMFAとチップADとから構成する場合、前記図2の変形例として、図5に示すように1つのチップMFと複数のチップDとから構成する場合、前記図3の変形例として、図6に示すようにチップMFAと複数のチップDとから構成する場合などのような構成例とすることも可能である。

以上のような、チップMF+チップAD、チップMF+チップD、チップMFA+チップD、チップMFA+チップAD、チップMF+チップD（拡張）、チップMFA+チップD（拡張）による半導体集積回路装置の構成例において、それぞれのチップに搭載されるマイクロコンピュータM、フラッシュメモリF、DRAMD、ロジック回路Aなどはチップの構成が異なっても同様の機能ブロックから構成されている。

また、チップAD、チップDは汎用のDRAMインタフェース仕様によりチップMF、チップMFAに直結しやすくなっており、DRAMDはそれぞれの半導体集積回路装置において拡張メモリとして使用される。さらに、チップADのASICなどのロジック回路Aは、チップMF、チップMFAのCPUによるアクセス制御と独立に、チップADの内部においてDRAMDに対するアクセス制御が可能となっている。

ここで、図7～図14によりそれぞれの半導体チップの概要を説明する。特に、チップMF、チップAD、チップDを順に説明する。また、図15～図18にはチップMFの端子機能例の一覧を示す。

図7、図8はチップMFの144ピンの例を示し、図7はその内部構成例を示す機能ブロック図、図8は端子機能例を示す説明図である。また、図9、図10

はチップMFの112ピンの例を示し、図9はその内部構成例を示す機能ブロック図、図10は端子機能例を示す説明図である。なお、144ピンのチップMFと112ピンのチップMFとの違いは、データ入出力の外部端子が32ビットと16ビットとのデータ幅に対応してそれぞれD0～D31とD0～D15とで異なる点のみであり、ここでは主に144ピンのチップMFについて説明する。

この144ピンのチップMFは、少なくともマイクロコンピュータとフラッシュメモリとが形成され、半導体集積回路装置の全体的な制御・処理機能と、電気的に一括消去可能なプログラブルメモリ機能とを有する回路構成となっており、例えば図7に示すように、プロセッサCPU、フラッシュメモリFlash、ランダムアクセスメモリ／キャッシュメモリRAM／Cache、データトランスファコントローラDTC、ダイレクトメモリアクセスコントローラDMAC、バスステートコントローラBSC、ユーザブレイクコントローラUBC、割り込みコントローラINTC、シリアルコミュニケーションインタフェースSCI、マルチファンクションタイマパルスユニットMTU、コンペアマッチタイマCMT、A/DコンバータA/D、ウォッチドッグタイマWDT、フェーズロック回路PLLなどから構成されている。

プロセッサCPUは、例えばRISCタイプの命令セットを持っている中央処理装置である。このCPUは、基本的には1命令1サイクルで動作するので、命令実行速度が飛躍的に向上され、また内部32ビット構成となっており、データ処理能力が強化されている。このCPUの特長としては、汎用レジスタマシン（汎用レジスタが32ビット×16本、コントロールレジスタが32ビット×3本、システムレジスタが32ビット×4本）、RISC対応の命令セット（命令長が16ビット固定長によるコード効率の向上、ロードストアアーキテクチャ（基本演算はレジスタ間で実行）、遅延分岐命令の採用で分岐時のパイプラインの乱れを軽減、C言語指向の命令セット）、命令実行時間が1命令／1サイクル（28MHz動作時で35ns／命令）、アドレス空間がアーキテクチャ上は4GB、乗算器内蔵により、32×32→64乗算を2～4サイクル実行、32×32+64→64積和演算を2～4サイクル実行、5段パイプライン方式などの各種機能が備えられている。

フラッシュメモリ F l a s h は、例えば 64 K バイトまたは 128 K バイトの電氣的に一括消去可能なプログラマブルメモリを内蔵する回路である。この F l a s h は、例えば 32 ビット幅のデータバスを介して C P U と D M A C、D T C に接続されている。C P U、D M A C、D T C は 8、16 または 32 ビット幅で

5 F l a s h をアクセスすることができる。この F l a s h のデータは、常に 1 ステートでアクセスすることができる。

ランダムアクセスメモリ／キャッシュメモリ R A M／C a c h e は、例えば 4 K B のランダムアクセスメモリ R A M と、1 K B のキャッシュメモリ C a c h e からなるメモリである。この C a c h e の特長としては、命令コードおよび P C

10 相対読み出し・データキャッシング、ライン長は 4 バイト（1 ロングワードは 2 命令長分）、キャッシュタグは 256 エントリ、ダイレクトマップ方式、内蔵 R O M／R A M、内蔵 I／O エリアはキャッシュ対象外、内蔵 R A M と兼用しており、キャッシュイネーブル時は内蔵 R A M のうち 2 K B をアドレスレイ・データレイとして使用などの各種機能が備えられている。

15 データトランスファコントローラ D T C は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができる回路である。この D T C の特長としては、周辺 I／O の割り込み要求により C P U と独立したデータ転送が可能、割り込み要因毎に転送モードを設定可能（メモリ上に転送モードを設定）、1 つの起動要因に対して、複数のデータ転送が可能、豊富な転送モード（ノーマルモード／リピートモード／ブロック転送モード）の選択が可能、転送単位をバイト／ワード／ロングワードに設定可能、D T C を起動した割り込みを C P U に要求

20 （1 回のデータ転送終了後に C P U に対する割り込みを発生可能、指定したデータ転送の全ての終了後に C P U に割り込みを発生可能）、ソフトウェアによる転送の起動可能などの各種機能が備えられている。また、アドレス空間は転送元アドレス、転送先アドレスとも 32 ビットで指定でき、転送対象デバイスは内蔵メモリであるフラッシュメモリ F l a s h、R A M／C a c h e や、外部メモリ、

25 内蔵周辺回路などに対してデータ転送が行われる。

ダイレクトメモリアksesコントローラ D M A C は、例えば 4 チャンネルからなり、D A C K（転送要求受付信号）付き外部デバイス、外部メモリ、メモリマッ

- プト外部デバイス、内蔵周辺回路（DMAC、BSC、UBCを除く）間のデータ転送を、CPUに代わって高速に行うことができる回路である。このDMACを使うとCPUの負担を減らすと共にチップMFの動作効率を上げることができる。このDMACの特長としては、サイクルスチール転送をサポート、デュアル
- 5 アドレスモード転送をサポート、直接転送モード／間接転送モード切り替え可能（チャンネル3のみ）であり、この直接転送モードは転送元アドレスにあるデータを転送先アドレスに転送し、また間接転送モードとは転送元アドレスにあるデータをアドレスとして、そのアドレスにあるデータを転送先アドレスに転送する機能である。また、特定のチャンネルにおいて、リロード機能、外部リクエスト、内
- 10 蔵回路、オートリクエストによる転送要求機能があり、さらにバスモードの選択、優先順位固定モード、ラウンドロビンモードによる優先順位の設定、CPUへの割り込み要求などの各種機能が備えられている。

- バスステートコントローラBSCは、アドレス空間の分離、各種メモリに応じた制御信号の出力などを行う回路である。これにより、外付け回路なしにDRAM、SRAM、ROMなどをチップMFに直結することが可能となっている。このBSCの特長としては、外部拡張時のメモリアクセスをサポート（外部データバスは32ビット）、アドレス空間を5エリアに分割（SRAM空間×4エリア、DRAM空間×1エリア）、各エリアにはバスサイズ（8／16／32ビット）、ウェイトサイクル数、各エリアに対応したチップセレクト信号の出力、DRAM
- 15 空間アクセス時にDRAM用バーRAS、バーCAS信号の出力、RASプリチャージタイム確保用Tpサイクル発生可能などの特性を設定可能、DRAMバーストアクセス機能（DRAMの高速アクセスモードサポート）、DRAMリフレッシュ機能（プログラマブルなリフレッシュ間隔、バーCAS before バーRASリフレッシュ／セルフリフレッシュをサポート）、外部ウェイト信号によるウェイトサイクルの挿入可能、アドレスデータマルチプレクスI/Oデバイ
- 20 スをアクセス可能などの各種機能が備えられている。

ユーザブレークコントローラUBCは、ユーザのプログラムデバッグを容易にする機能を提供する回路である。このUBCにブレーク条件を設定すると、CPUまたはDMACおよびDTCによるバスサイクルの内容に応じて、ユーザブレ

ーク割り込みが発生される。この機能を使用することによって、高機能のセルフ  
モニタデバッガを容易に作成でき、大規模なインサーキットエミュレータを使用  
しなくても、チップMF単体で手軽にプログラムをデバッグすることが可能とな  
っている。このUBCの特長としては、CPUやDMACが、ある設定した条件  
5 のバスサイクルを生成すると割り込みが発生し、またオンチップデバッガの構築  
が容易であり、さらにブレーク条件としてはアドレス、CPUサイクルまたはD  
MA/DTCサイクル、命令フェッチまたはデータアクセス、読み出しまたは書  
き込み、オペランドサイズ（ロングワード、ワード、バイト）が設定でき、この  
ブレーク条件の成立により、ユーザブレーク割り込みが発生し、ユーザが作成し  
10 たユーザブレーク割り込み例外ルーチンを実行させることができるようになって  
いる。

割り込みコントローラINTCは、割り込み要因の優先順位を判定し、プロセ  
ッサCPUへの割り込み要求を制御する回路である。このINTCには、各割り  
込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した  
15 優先順位に従って、割り込み要求を処理させることができる。このINTCの特  
長としては、外部割り込み端子が9本、内部割り込み要因が43要因、16レベ  
ルの優先順位設定が可能であり、さらにNMI端子の状態を示すノイズキャンセ  
ラ機能、割り込みが発生したことを外部へ出力可能として、チップMFがバス権  
を開放しているときに内蔵周辺回路割り込みが発生したことを外部バスマスタに  
20 知らせ、バス権を要求することができるようになっている。

シリアルコミュニケーションインタフェースSCIは、例えば独立した2チャ  
ネルからなり、この2チャンネルは同一の機能を持っている。このSCIは、調歩  
同期式通信とクロック同期式通信の2方式でシリアル通信ができる回路である。  
また、複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）が  
25 備えられている。このSCIの特長としては、1チャンネルあたり、調歩同期／ク  
ロック同期式モードの選択が可能、送受信を同時に行うことが可能（全二重）、  
専用のボーレートジェネレータの内蔵、マルチプロセッサ間の通信機能などの各  
種機能が備えられている。

マルチファンクションタイマパルスユニットMTUは、例えば6チャンネルの1

- 6ビットタイマにより構成される回路である。このMTUの特長としては、16ビットタイマ5チャンネルをベースに最大16種類の波形出力または最大16種類のパルスの入出力処理が可能、16本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ、総数16本の独立したコンパレータ、8種類のカウンタ入力クロックを選択可能、インプットキャプチャ機能、パルス出力モード（ワンショット／トグル／PWM／相補PWM／リセット同期PWM）、複数カウンタの同期化機能、相補PWM出力モード（6相のインバータ制御用ノンオーバーラップ波形を出力、デッドタイム自動設定、PWMデューティを0～100%任意に設定可能、出力OFF機能）、リセット同期PWMモード（任意デューティの正相・逆相PWM波形を3相出力）、位相計数モード（2相エンコーダ計数処理が可能）などの各種機能が備えられている。

- コンペアマッチタイマCMTは、例えば2チャンネルからなり、16ビットフリーランニングカウンタ、1つのコンペアレジスタなどからなり、コンペアマッチで割り込み要求を発生させる機能が備えられている。
- 15 A/DコンバータA/Dは、10ビット×8チャンネルであり、外部トリガによる変換を可能にすると共に、サンプル&ホールド機能を2ユニット内蔵して、同時に2チャンネルがサンプリング可能となっている。

- ウォッチドッグタイマWDTは、1チャンネルのタイマで、システムの監視を行うことができる回路である。このWDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバフローすると、外部にオーバフロー信号を出力する。同時に、チップMFの内部リセット信号を発生することもできる。WDTとして使用しないときには、インターバルタイマとして使用することもできる。インターバルタイマとして使用した場合には、カウンタがオーバフローする毎にインターバルタイマ割り込みを発生する。また、WDTはスタンバイモードの解除時にも使用されるようになっている。なお、内部リセット信号は、レジスタの設定により発生させることができ、リセットの種類はパワーオンリセットまたはマニュアルリセットを選択できる。このWDTの特長としては、ウォッチドッグタイマ／インターバルタイマの切り換えが可能、カウントオーバフロー時、内部リセット、外部信号または割り込みを発生させる機能などが備えられ

ている。

フェーズルックトループ回路PLLは、例えばクロック発振器を内蔵し、クロック通倍用のPLL回路として動作する回路となっている。

- 5 以上のように構成されるチップMFにおいて、これらの内部回路の相互間は、  
図7に示すように、内部アドレスバスBUSAIおよび上位および下位の内部データバスBUSDIにより接続され、さらにこれらの内部回路と外部接続端子I/Oとの間は周辺アドレスバスBUSAO、周辺データバスBUSDOおよび制御信号線SLにより接続されている。

- 10 内部アドレスバスBUSAIは、24ビットのバス幅とされ、プロセッサCPU、フラッシュメモリFlash、ランダムアクセスメモリ/キャッシュメモリRAM/Cache、データトランスファコントローラDTC、ダイレクトメモリアクセスコントローラDMAC、バスステートコントローラBSCのそれぞれの相互間に接続されている。

- 15 内部データバスBUSDIは、上位の16ビットのバスと下位の16ビットのバスとからなり、それぞれプロセッサCPU、フラッシュメモリFlash、ランダムアクセスメモリ/キャッシュメモリRAM/Cache、データトランスファコントローラDTC、ダイレクトメモリアクセスコントローラDMAC、バスステートコントローラBSCのそれぞれの相互間に接続され、上位の16ビットのバスと下位の16ビットのバスにより32ビットのデータ幅に対応できるよ  
20 うになっている。

- 周辺アドレスバスBUSAOは、24ビットのバス幅とされ、バスステートコントローラBSC、割り込みコントローラINTC、シリアルコミュニケーションインタフェースSCI、マルチファンクションタイマパルスユニットMTU、コンペアマッチタイマCMT、ウォッチドッグタイマWDTのそれぞれの内部回  
25 路と外部接続端子I/Oとの間に接続されている。

周辺データバスBUSDOは、16ビットのバス幅とされ、バスステートコントローラBSC、割り込みコントローラINTC、シリアルコミュニケーションインタフェースSCI、マルチファンクションタイマパルスユニットMTU、コンペアマッチタイマCMT、ウォッチドッグタイマWDTのそれぞれの内部回路



と外部接続端子 I/O との間に接続されている。

- 制御信号線 S L は、データトランスファコントローラ D T C、ダイレクトメモリアクセスコントローラ D M A C、バスステートコントローラ B S C、ユーザブ레이크コントローラ U B C、割り込みコントローラ I N T C、シリアルコミュニケーションインタフェース S C I、マルチファンクションタイマパルスユニット M T U、コンペアマッチタイマ C M T、A/D コンバータ A/D のそれぞれの内部回路の相互間と、これらの内部回路と外部接続端子 I/O との間に接続されている。

- このチップ M F においては、外部接続端子 I/O として、図 8 に示すような機能割り付けとなっており、98 本の入出力端子、8 本の入力端子となっている。それぞれの外部接続端子 I/O の機能については、図 15 ～ 図 18 に示すように、分類、記号、入出力、名称と対応させた端子機能例の一覧に示すとおりである。なお、112 ピンのチップ M F は、図 10 に示すような機能割り付けとなっており、74 本の入出力端子、8 本の入力端子となっている。

- 図 11 はチップ A D の内部構成例を示す機能ブロック図、図 12 はその端子機能例を示す説明図である。なお、チップ A D は 144 ピンの例を示している。

- このチップ A D は、D R A M と A S I C とが形成され、随時書き込み/読み出し可能なメモリ機能とロジック回路による処理機能とを有する回路構成となっており、例えば図 11 に示すように、電源回路 V S、複数の D R A M バンク B a n k、メインアンプ M A、データ転送回路 D T、ディジタル信号処理回路 D S P、ロウアドレスバッファ R A B、カラムアドレスバッファ C A B、制御論理/タイミング発生回路 C R/T G から構成されている。なお、この D R A M としては、記憶保持動作が必要な随時書き込み/読み出し可能な、単なるダイナミックランダムアクセスメモリ D R A M、クロックによる同期式のシンクロナス D R A M (S D R A M)、データ出力時間が長くできるエクステンディットデータアウト D R A M (E D O-D R A M) などがある。

電源回路 V S は、外部から電源 V c c、接地 V s s の電圧を入力として、複数の D R A M バンク B a n k、メインアンプ M A に必要な電源を供給する回路である。

複数の D R A M バンク B a n k は、各バンクが独立に動作可能であり、各バン

クは、例えばメモリセル、ワードデコーダ、カラムデコーダ、センスアンプ、タイミングジェネレータを含む。例えば、これらのDRAMバンクBankの容量は1バンク当たり256kビットである。

5      メインアンプMAは、複数のDRAMバンクBankと外部接続端子D0～D31とのデータ入出力を行う回路である。例えば、各DRAMバンクBankとの間に、128本と多数のグローバルデータ線があり、それを通してデータのやり取りが行われる。

10      データ転送回路DTは、DRAMバンクBankおよびメインアンプMAなどからなるDRAMとデジタル信号処理回路DSPとの間のデータ転送パターンをリアルタイムに切り換える。例えば、隣接したデータのうちの一方を選択したり、データをクリアしたりすることが可能となっている。

15      デジタル信号処理回路DSPは、画像、音声などのデジタル信号の処理を実行する回路であり、例えば画像処理の場合にはZ比較による陰面を消去する処理、 $\alpha$ ブレンドによる透明感を与える処理などを実行する。また、シリアル出力ポートSD0～SD23からデータをディスプレイなどの出力機器に出力する。このデジタル信号処理回路DSPとデータ転送回路DTとは制御信号C0～C27によって制御される。

20      ロウアドレスバッファRABおよびカラムアドレスバッファCABは、外部アドレス信号入力端子A0～A10からアドレス信号を取り込み、内部アドレス信号を生成して各DRAMバンクBankに供給する回路である。バーRASのタイミングロウアドレスで、バーCASL、バーCASH、バーCASHL、バーCASHHのタイミングでカラムアドレスを取り込む。

25      制御論理／タイミング発生回路CR/TGは、DRAMの動作に必要な各種タイミング信号を発生する回路である。入力されるバーCSはチップセレクト信号、バーRASはロウアドレスストロブ信号、バーCASL、バーCASH、バーCASHL、バーCASHHはカラムアドレスストロブ信号、RD／バーWRは読み出し／書き込み信号（高レベルなら読み出し、低レベルなら書き込みを示す）である。4つのカラムアドレスストロブ信号は、バイトコントロール（各バイト毎の読み出し／書き込み制御）を可能にするためであり、バーCASLが

最下位のバイトD 0～D 7、バーCASHが最下位から2番目のバイトD 8～D 15、バーCASHLが最下位から3番目のバイトD 16～D 23、バーCASHHが最上位のバイトD 24～D 31用である。

5 以上のように構成されるチップADの内部回路において、複数のDRAMバンクBankとロウアドレスバッファRAB、カラムアドレスバッファCABとの相互間は内部アドレスバスBUSAIにより接続され、さらにロウアドレスバッファRAB、カラムアドレスバッファCABと外部接続端子I/Oとの間は周辺アドレスバスBUSAO、メインアンプMAと外部接続端子I/Oとの間は周辺データバスBUSDOによりそれぞれ接続されている。

10 また、データ転送回路DTとディジタル信号処理回路DSPとの相互間はアドレスバスおよびデータの内部バスBUSIにより接続され、さらにデータ転送回路DT、ディジタル信号処理回路DSPと外部接続端子I/Oとの間はデータおよび制御信号の周辺バスBUSOにより接続されている。

このチップADにおいては、外部接続端子として、図12に示すように、電源  
15 Vcc、接地Vssの電圧端子Vcc、Vss、アドレス端子A0～A10、データ入出力端子D0～D31、チップセレクト端子バーCS、ロウアドレスストローブ端子バーRAS、カラムアドレスストローブ端子バーCASL、バーCASH、バーCASHL、バーCASHH、読み出し／書き込み端子RD／バーWR、クロック端子CK、シリアルデータ出力端子SD0～SD23、ASIC制御信号  
20 端子C0～C27が設けられている。

図13はチップDの内部構成例を示す機能ブロック図、図14はその端子機能例を示す説明図である。なお、チップDは50ピンの例を示している。

このチップDは、DRAMのみが形成され、随時書き込み／読み出し可能なメモリ機能を有する回路構成となっており、例えば図13に示すように、電源回路  
25 VS、複数のDRAMバンクBank、メインアンプMA、ロウアドレスバッファRAB、カラムアドレスバッファCAB、制御論理／タイミング発生回路CR／TGから構成されている。

このチップDは、前記図11に示すチップADのデータ転送回路DTとディジタル信号処理回路DSPとのロジック回路が取り除かれたDRAMのみの回路構

成となっており、従ってチップDを構成する内部回路については前記チップADの内部回路と同じなので、ここでの機能的な説明は省略する。

このチップDにおいては、外部接続端子として、図14に示すように、電源V<sub>cc</sub>、接地V<sub>ss</sub>の電圧端子V<sub>cc</sub>、V<sub>ss</sub>、アドレス端子A0～A11、データ入出力端子DQ0～DQ31、ロウアドレスストロープ端子バーRAS、カラムアドレスストロープ端子バーLCAS、バーUCAS、書き込みイネーブル端子バーWE、出力イネーブル端子バーOEが設けられている。

以上のような、チップMF、チップMFAと、1つまたは複数のチップAD、チップDとの組み合わせにより構成される本実施の形態の半導体集積回路装置においては、特に本発明の一つの特徴として、チップMFまたはチップMFAの接続端子と、チップADまたはチップDの接続端子とに互いに共通の信号端子は同一の外部接続端子に共通に割り当てている。以下に、同一の外部接続端子に共通に割り当てられている接続端子について詳細に説明する。

図19は、前記図7、図8に示した144ピンのチップMFと、前記図13、図14に示した50ピンの2つのチップDとの接続例を示す接続図である。なお、図19においては、チップMFの接続端子とチップDの接続端子とに共通の信号端子と外部接続端子との間の接続のみを示しており、実際にはチップMFにのみ独立の信号端子である接続端子も外部接続端子に接続されている。

この144ピンのチップMFと50ピンの2つのチップDとの接続において、チップMFのアドレス端子A0～A11は2つのチップDのアドレス端子A0～A11に接続されると共に同じ外部接続端子A0～A11に接続され、チップMFのデータ入出力端子D0～D31はそれぞれのチップDのデータ入出力端子DQ0～DQ15に分割して接続されると共に同じ外部接続端子D0～D31に接続されている。

また、チップMFの電源端子V<sub>cc</sub>、接地端子V<sub>ss</sub>はそれぞれのチップDの電源端子V<sub>cc</sub>、接地端子V<sub>ss</sub>にそれぞれ接続されると共に同じ外部接続端子V<sub>cc</sub>、V<sub>ss</sub>にそれぞれ接続されている。なお、この電圧端子は、実際にはチップMF、チップD、外部接続端子の複数の端子に割り当てられているので、それぞれが同じ端子同士で接続される。

さらに、制御信号については、チップMFのロウアドレスストロブ端子バーRASは2つのチップDに共通に接続されると共に外部接続端子バーRASに接続され、チップMFのカラムアドレスストロブ端子バーCASL、バーCASHは一方のチップDのカラムアドレスストロブ端子バーLCAS、バーUCAS  
5 Sに接続されると共に外部接続端子バーCASL、バーCASHに接続され、チップMFのカラムアドレスストロブ端子バーCASHL、バーCASHHは他方のチップDのカラムアドレスストロブ端子バーLCAS、バーUCASに接続されると共に外部接続端子バーCASHL、バーCASHHに接続されている。

また、チップMFの読み出し／書き込み端子RD／バーWRは2つのチップD  
10 の書き込みイネーブル端子バーWEに共通に接続されると共に外部接続端子RD／バーWRに接続され、チップMFのチップセレクト端子バーCS3は2つのチップDの出力イネーブル端子バーOEに共通に接続されると共に外部接続端子バーCS3に接続されている。

このように、チップMFとチップDと外部接続端子との接続においては、チップDの全ての接続端子がチップMFの接続端子と共通になってそれぞれ同一の外部接続端子に接続される。なお、このチップMFとチップDとによる半導体集積回路装置においては、実際にはチップMFにのみ独立の信号端子である接続端子  
15 も存在するので、この独立の接続端子に接続される外部接続端子も外部と接続可能に設けられている。

図20は、前記図7、図8に示した144ピンのチップMFと、前記図11、図12に示した144ピンのチップADとの接続例を示す接続図である。なお、図20においても、前記図19と同様にチップMFの接続端子とチップADの接続端子とに共通の信号端子と外部接続端子との間の接続のみを示しており、実際にはチップMF、チップADにのみ独立の信号端子である接続端子も外部接続端子  
25 に接続されている。

この144ピンのチップMFと144ピンのチップADとの接続において、チップMFのアドレス端子A0～A10はチップADのアドレス端子A0～A10に接続されると共に同じ外部接続端子A0～A10に接続され、チップMFのデータ入出力端子D0～D31はチップADのデータ入出力端子D0～D31に接

続されると共に同じ外部接続端子D 0～D 3 1に接続されている。

- また、チップMFの電源端子V cc、接地端子V ssはチップADの電源端子V c  
c、接地端子V ssにそれぞれ接続されると共に同じ外部接続端子V cc、V ssに  
それぞれ接続されている。なお、この電圧端子は、実際にはチップMF、チップ  
5 AD、外部接続端子の複数の端子に割り当てられているので、それぞれが同じ端  
子同士で接続される。

- さらに、制御信号については、チップMFのロウアドレスストローブ端子バー  
RAS、カラムアドレスストローブ端子バーCASL、バーCASH、バーCA  
SHL、バーCASHH、読み出し／書き込み端子RD／バーWR、チップセレ  
10 クト端子バーCS 3、クロック端子CKはチップADのロウアドレスストローブ  
端子バーRAS、カラムアドレスストローブ端子バーCASL、バーCASH、  
バーCASHL、バーCASHH、読み出し／書き込み端子RD／バーWR、チ  
ップセレクト端子バーCS 3、クロック端子CKにそれぞれ接続されると共に、  
それぞれ同じ外部接続端子のロウアドレスストローブ端子バーRAS、カラムア  
15 ドレスストローブ端子バーCASL、バーCASH、バーCASHL、バーCA  
SHH、読み出し／書き込み端子RD／バーWR、チップセレクト端子バーCS  
3、クロック端子CKに接続されている。

- このように、チップMFとチップADとによる半導体集積回路装置においては、  
実際にはチップADにのみ特有の信号であるシリアルデータ出力SD 0～SD 2  
20 3、ASIC制御信号端子C 0～C 2 7が独立となる他、チップMFにのみ独立  
の信号端子である接続端子も存在するので、これらの独立の接続端子に接続され  
る外部接続端子も外部と接続可能に設けられている。

- なお、前記半導体集積回路装置において、チップAD、チップDのDRAMを  
シンクロナスDRAMとする場合には、さらに半導体集積回路装置の内部で同期  
25 を取る必要があるので、この同期を取るための制御信号であるクロック信号が割  
り当てられているクロック端子も共通の接続端子として同一の外部接続端子に接  
続されることになる。

次に、本実施の形態の作用について、チップMF、チップMFAと、1つまたは  
複数のチップAD、チップDとの組み合わせにより構成される半導体集積回路

装置において、チップMF（チップMFA）のプロセッサCPUからチップAD（チップD）のDRAMに対する読み出し動作、書き込み動作、リフレッシュ動作の概要を説明する。

（１）読み出し動作

- 5      例えば、アドレスマルチプレクスではアドレス信号は時分割で入力するため、プロセッサCPUからのロウアドレスストロブ信号バーRASとカラムアドレスストロブ信号バーCASの2つの同期信号が必要である。バーRASが高レベル（H）の期間は、RAS系回路がプリチャージされる期間で、この間はチップ内部ではいかなるメモリ動作も行われない。一方、バーCASがHの期間は、  
10   データ出力バッファやデータ入力バッファなどのCAS系回路がプリチャージされる期間で、この間はチップADの外部との読み出し動作、書き込み動作は行われない。

- バーRASが低レベル（L）になると、RAS系回路が活性化され、メモリ動作が始まる。続いて、バーCASがLになると読み出し動作あるいは書き込み動作が始まり、チップADの外部のチップMFとのデータの授受が行われる。この  
15   ようにチップADのDRAMでは、プリチャージ期間と活性期間が交互に繰り返される。通常、バーRASのサイクル時間がチップADのサイクル時間となる。

- 読み出し動作の指定は、書き込みイネーブル信号バーWEをバーCASの立ち下がり時点よりも前にHにして、バーCASが立ち上がるまでそれを保持することによって行う。データがいったん出力されると、バーCASが立ち上がるまでデータを保持する。ここでアクセス時間には3種類あって、バーRASおよびバーCASの立ち下がり時点からデータ出力端子にデータが出力されるまでの時間を、それぞれバーRASアクセス時間、バーCASアクセス時間と呼び、カラムアドレスが確定された時点からデータが出力されるまでの時間をアドレスアクセス時間と呼ぶ。  
25

（２）書き込み動作

アドレス信号とバーRAS、バーCASとの関係は、読み出し動作と同じなのでここでは説明を省略する。また、サイクル時間などのバーRAS、バーCASのタイミング規格も読み出し動作と同じである。ただし、バーWEをバーCAS

の立ち下がり時点よりも前にLにすることによって書き込み動作を指定する。このサイクル中は、データ出力端子は高インピーダンス状態に保持される。なお、バーRASをLのままの状態、いったんチップADの外部のチップMFに読み出したデータをチップMFで変更し、再び同じメモリセルに書き込むというRead Modify Write動作の仕様もある。

### (3) リフレッシュ動作

読み出し、書き込みといったランダムアクセス動作中に割り込んで行うリフレッシュ動作と、電池バックアップ期間中のようにチップADの内部の記憶情報を保持するためだけに行うリフレッシュ動作がある。前者はバーRAS only リフレッシュと、CBR (バーCAS before バーRAS) リフレッシュが、また後者ではセルフリフレッシュが標準になっている。

例えば、バーRAS only リフレッシュは、読み出し動作、書き込み動作と同じタイミング規格のバーRASの1サイクル中に、1行(ワード線)の全メモリセルが同時にリフレッシュされる。ただし、バーCASをHにしてチップADの外部のチップMFからリフレッシュアドレスを与えなければならない。

このリフレッシュの仕方には、集中リフレッシュと分散リフレッシュとがある。集中リフレッシュは、最小サイクルでリフレッシュを繰り返し、この期間はチップADの外部のチップMFからメモリアクセスはできないが、残りの期間はリフレッシュを割り込ませず、外部からメモリアクセスを受け付ける方法である。分散リフレッシュは、リフレッシュ動作の1サイクルを最大リフレッシュの期間中に等しく分散したものである。実際には分散リフレッシュが多用されるので、リフレッシュ動作の1サイクルが通常の読み出し・書き込み動作のサイクルに割り込んだタイミングとなる。

また、CBRリフレッシュは、バーCASをバーRASに先行させてLにすることによって、リフレッシュ動作であることを内部で判定する。この判定パルスによって内部のリフレッシュアドレスカウンタからアドレスが発生し、ワード線が選ばれ、リフレッシュされる。従って、チップADの外部からアドレスを与える必要はない。

さらに、セルフリフレッシュは、通常のメモリサイクル終了後、CBRタイミ



ングにしてバーRASのパルス幅を、例えば100 $\mu$ s以上に設定する。内部ではこの時間以上になると、リフレッシュアドレスカウンタとリフレッシュタイマを用いたリフレッシュ動作が始まり、バーRAS、バーCASがともにLである限りセルフリフレッシュが続く。リフレッシュされる頻度が少ないほどチップADの消費電力は低くなるが、この頻度はチップADの内部の温度を検出するタイマによって自動的に調整される。なお、セルフリフレッシュから通常サイクルに移る場合には、バーRASのプリチャージ期間が必要である。

以上のようにして、チップMFのプロセッサCPUからチップADのDRAMに対する読み出し動作、書き込み動作、リフレッシュ動作が行われ、特にこのリフレッシュのセルフリフレッシュ動作時に、本発明の一つの特徴として、チップADの内部のロジック回路がリフレッシュ動作／アクセス動作を実行することができる回路構成となっている。以下に、セルフリフレッシュ動作時にリフレッシュ動作／アクセス動作が実行可能となることを詳細に説明する。

図21は、前記図11に示したチップADの内部機能例を概略的に示した概略構成図である。このチップADは、ダイナミックランダムアクセスメモリDRAM、メモリ内蔵ロジックLogic、DRAMアクセス制御回路DACとから構成されている。なお、図21におけるDRAM、メモリ内蔵ロジックLogic、DRAMアクセス制御回路DACは、それぞれ前記図11に示した複数のDRAMバンクBankおよびメインアンプMAなどによるDRAM部分と、データ転送回路DTおよびデジタル信号処理回路DSPによるASIC部分と、ロウアドレスバッファRABおよびカラムアドレスバッファCABなどによるアクセス制御部分とに対応している。また、入力バッファIBおよび出力バッファOBは、前記図11に示したメインアンプMAと外部接続端子D0～D32とのデータ入出力を行う回路I/Oおよびデジタル信号処理回路DSPと接続される回路I/Oに対応している。

このチップADにおいては、チップセレクト信号バーCS、ロウアドレスストローブ信号バーRAS、カラムアドレスストローブ信号バーCASが制御信号端子、アドレス信号がアドレス端子を介してDRAMアクセス制御回路DACに入力され、またデータ信号がデータ入出力端子を介して入出力可能となっている。

さらに、チップADの内部においては、DRAMとDRAMアクセス制御回路DACとの間はアドレスバスBUS Aにより接続され、またDRAMとメモリ内蔵ロジックLogicとデータ入出力端子との間はデータバスBUS Dにより接続されている。例えば、この内部のデータバスBUS Dは、データ入出力端子が例  
5 えば8ビット対応であるのに対して、それよりも広い64ビットのバス幅となっている。

また、チップADの内部においては、メモリ内蔵ロジックLogicとDRAMアクセス制御回路DACとの間がアドレスバスおよび制御信号線により接続され、DRAMアクセス制御回路DACからメモリ内蔵ロジックLogicに対し  
10 てセルフリフレッシュ動作の許可信号が出力され、メモリ内蔵ロジックLogicからDRAMアクセス制御回路DACに対して読み出し／書き込み信号R／W、アドレス信号が出力されている。なお、この読み出し／書き込み信号R／Wは、読み出し信号Rと書き込み信号Wとに分けて出力することも可能である。セルフ  
リフレッシュ期間は、DRAMアクセス制御回路DACから、データ入出力禁止  
15 信号DISが入力バッファIBおよび出力バッファOBに出力される。データ入出力禁止信号DISによってセルフリフレッシュ期間中、入力バッファIBは、チップADの外部からのデータ入力を禁止し、さらに出力バッファ回路OBは、データバスBUS DのデータをチップADの外部に出力することを禁止する。

図22は、DRAMアクセス制御回路DACの詳細例を示す構成図である。こ  
20 のDRAMアクセス制御回路DACは、内部制御信号生成回路CSG、複数のセクタ回路SCなどにより構成され、内部制御信号生成回路CSGに入力されるチップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCASに基づいて、アドレスを選択する制御信号などを生成すると共に、セルフリフレッシュ動作の許可信号を生成してメモリ内蔵  
25 ロジックLogicに対して出力する。

この許可信号を受けたメモリ内蔵ロジックLogicは、DRAMに対してアクセス可能となり、DRAMアクセス制御回路DACに対して読み出し／書き込み信号R／Wを出力して読み出し／書き込みの要求を行い、アドレス信号をDRAMアクセス制御回路DACに出力して任意のメモリセルを選択し、この選択さ

れたメモリセルとメモリ内蔵ロジック L o g i c との間でデータの読み出し／書き込みを行うことができる。なお、この読み出し／書き込みの要求は、読み出しの要求を行う場合に読み出し信号 R を出力し、書き込み要求を行う場合に書き込み信号 W を出力して行うことも可能である。

- 5      この内部制御信号生成回路 C S G により生成されたアドレスの制御信号は、チップ A D の外部のチップ M F のプロセッサ C P U からのアクセス動作と、チップ A D の内部のメモリ内蔵ロジック L o g i c からのアクセス動作とに対して、セレクト回路 S C を介して一方を選択して D R A M の任意のメモリセルを選択するアドレス制御信号として用いられる。
- 10      図 2 3 は、内部制御信号生成回路 C S G による動作モードの遷移状態例を示す説明図である。この動作モードは、通常の D R A M に対するアクセス動作モードと、D R A M のセルフリフレッシュ動作モードと、内部のメモリ内蔵ロジック L o g i c によるアクセス動作モードとに分けることができ、通常 D R A M アクセス動作モードからセルフリフレッシュ動作モードへはメモリ内蔵ロジック L o g i c からの読み出し／書き込み信号 R / W による読み出し／書き込みの要求なし
- 15      に遷移し、通常 D R A M アクセス動作モードへの復帰はリフレッシュを解除することにより行われる。

また、セルフリフレッシュ動作モードから内部アクセス動作モードへはメモリ内蔵ロジック L o g i c からの読み出し／書き込みの要求があった場合に遷移し、

20      セルフリフレッシュ動作モードへの復帰は読み出し／書き込みの完了により行われる。同じく、通常 D R A M アクセス動作モードから内部アクセス動作モードへはメモリ内蔵ロジック L o g i c からの読み出し／書き込みの要求があった場合に遷移し、通常 D R A M アクセス動作モードへの復帰はリフレッシュを解除することにより行われる。

- 25      図 2 4 は、D R A M に対する内部制御信号生成回路 C S G を含む D R A M アクセス制御回路 D A C の制御例を示す動作タイミング図である。この D R A M に対する動作制御においては、図 2 4 ( a ) に示すように、通常の D R A M アクセスを実行可能な通常 D R A M アクセス期間と、この通常 D R A M アクセス期間と通常 D R A M アクセス期間との間の、D R A M のセルフリフレッシュを実行可能な

DRAMセルフリフレッシュ期間とがある。このDRAMセルフリフレッシュ期間は、DRAMに対するチップMFからの通常のアクセス動作が行われていない期間である。

このDRAMセルフリフレッシュ期間には、クロック信号CKに同期して、ロ  
5 ウアドレスストローブ信号バーRAS、カラムアドレスストローブ信号バーCASに基づいて、セルフリフレッシュ動作の許可信号がメモリ内蔵ロジックLogic  
icに対して出力され、このメモリ内蔵ロジックLogicからDRAMに対す  
る制御信号R/Wによる読み出し／書き込みのためのアクセス動作の要求があっ  
た場合にのみリフレッシュ動作を解除し、DRAMに対するメモリ内蔵ロジック  
10 Logic（ディジタル信号処理回路DSP）からのアクセス動作を可能として  
いる。

このセルフリフレッシュ期間におけるリフレッシュ動作／アクセス動作の実行  
は、例えば実際には図24（b）に示すように、制御信号Rによる読み出し要求  
に従って読み出し動作を繰り返すことができると共に、この読み出しと読み出し  
15 との間の期間にリフレッシュ動作を実行したり、制御信号Wによる書き込み要求  
に従って読み出し動作を繰り返すことができると共に、この書き込みと書き込み  
との間の期間にリフレッシュ動作を実行したり、さらに制御信号Rによる読み出  
し要求と制御信号Wによる書き込み要求とに従って読み出し、書き込みのアクセ  
ス動作を繰り返すことができると共に、このアクセス動作の間の期間にリフレッ  
20 シュ動作を実行することができる。

以上のようにして、チップMFのプロセッサCPUによるチップADのDRAM  
に対するセルフリフレッシュ動作時に、チップADのメモリ内蔵ロジックLogic  
がDRAMに対してアクセス動作が可能となり、メモリ内蔵ロジックLogic  
からの書き込み要求によりDRAMにデータの書き込みを行うことができ、  
25 また読み出し要求によりDRAMからデータの読み出しを行うことができる。

なお、このセルフリフレッシュ動作時におけるチップADのメモリ内蔵ロジックLogicによるDRAMに対するアクセス動作は、チップADに他のチップ  
が接続される場合も同様であり、例えば前記のチップMFAや、単にCPUを含  
む他の半導体チップについても同様の効果が期待できる。すなわち、外部からチ

チップADのDRAMに対するアクセス動作と、このDRAMのセルフリフレッシュ動作とが可能とされるパッケージ構造の半導体集積回路装置について適用することができる。

次に、本実施の形態のパッケージの具体的な構造を詳細に説明する。図25は  
5 本実施の形態のパッケージの全体斜視図、図26はこのパッケージの断面図である。

本実施の形態のパッケージは、マイクロコンピュータとフラッシュメモリとが形成された前記第1のチップMF（フラッシュメモリ搭載マイクロコンピュータ）を第1のTCP（Tape Carrier Package）1Aに封止すると共に、DRAM  
10 とASICとが形成された前記第2のチップAD（DRAMオンチップロジック）を第2のTCP1Bに封止し、これら2個のTCP1A、1Bを上下方向に重ね合わせて一体に接合した積層型TCP構造を有している。

第1のTCP1Aに封止された第1のチップMFは、テープキャリア2aの中央部に開孔されたデバイスホール3a内にその主面（素子形成面）を下に向けて  
15 配置されており、その主面の周辺部に形成されたバンプ電極4を介して、テープキャリア2aの一面に形成されたリード5aの一端（インナーリード部）と電気的に接続されている。チップMFの主面には、この主面に形成されたLSI（フラッシュメモリ搭載マイクロコンピュータ）を外部環境から保護するポッティング樹脂6が被着されている。

20 テープキャリア2aの一面に形成されたリード5aは、図27に示すようなパターンを有している。これらのリード5aの表面は、デバイスホール3a内に突出する一端部（インナーリード部）を除き、ソルダーレジスト7で被覆されている。各リード5aの他端は、テープキャリア2aの一面から他面に貫通するスルーホール8aと電気的に接続されている。これらのスルーホール8aは、テープ  
25 キャリア2aの4辺に沿って2列に配置されており、それぞれのスルーホール8aの表面には、図26に示すように、この積層型TCPをプリント配線基板に実装する際の外部接続端子となる半田バンプ9が接合されている。

第2のTCP1Bは、上記第1のTCP1Aの上部に積層されている。TCP1AとTCP1Bは、両者の合わせ面に被着された接着剤10によって密に接合

されている。このTCP1Bに封止された第2のチップADは、テープキャリア2bの中央部に開孔されたデバイスホール3b内にその主面を下に向けて配置されており、その主面の周辺部に形成されたバンプ電極4を介して、テープキャリア2bの一面に形成されたリード5bの一端（インナーリード部）と電氣的に接続されている。チップADの主面には、この主面に形成されたLSI（DRAMオンチップロジック）を外部環境から保護するボッティング樹脂6が被着されている。

TCP1Bのテープキャリア2bの外径寸法は、TCP1Aのテープキャリア2aと同じである。テープキャリア2bのデバイスホール3bの寸法は、チップADの外径寸法がチップMFよりも小さいので、その分、テープキャリア2aのデバイスホール3aよりも小さくなっている。

テープキャリア2bの一面に形成されたリード4bは、図28に示すようなパターンを有している。各リード5bの他端は、テープキャリア2bの一面から他面に貫通するスルーホール8bと電氣的に接続されている。これらのスルーホール8bは、前記テープキャリア2aのスルーホール8aと同じく、テープキャリア2bの4辺に沿って2列に配置されている。テープキャリア2aのスルーホール8aとテープキャリア2bのスルーホール8bはそれぞれ同数、かつ同一ピッチで形成されており、テープキャリア2a、2bを重ね合わせたときに向かい合ったスルーホール8a、8b同士が正確に重なり合うように配置されている。スルーホール8a、8bの内部には半田11が充填されており、この半田11を介して向かい合ったスルーホール8a、8b同士が電氣的に接続されている。

本実施の形態の積層型TCPは、上記2つのチップMF、ADの共通する（すなわち同一機能を有する）接続端子（ピン）をテープキャリア2a、2bの同じ位置に配置されたスルーホール8a、8bを通じて電氣的に接続し、スルーホール8aの一端に接合された前記半田バンプ9を介して外部（プリント配線基板）に共通に引き出す構造になっている。

図27には、チップMFに形成された接続端子の番号（1～144）とテープキャリア2aに形成されたスルーホール8aの番号（1～200）とが付してある。また、図28には、チップADに形成された接続端子の番号（1～144）

とテープキャリア 2 b に形成されたスルーホール 8 b の番号 (1 ~ 200) とが付してある。テープキャリア 2 a、2 b の同じ位置に配置されたスルーホール 8 a、8 b には、同じ番号が付してある。

- チップ MF、AD の接続端子とスルーホール 8 a、8 b の割り付けの一例を表 1 に示す。表中、MF pin # の欄の番号 (1 ~ 144) は、図 27 に示したチップ MF の接続端子番号 (1 ~ 144) に対応し、AD pin # の欄の番号 (1 ~ 144) は、図 28 に示したチップ AD の接続端子番号 (1 ~ 144) に対応している。また、Via # の欄の番号は、図 27、図 28 に示したスルーホール 8 a、8 b の番号 (1 ~ 200) のうち、チップ MF、AD のいずれかまたは両者に共通の接続端子に割り付けられた番号である。

表 1

Via#	MFpin#	ADpin#	Via#	MFpin#	ADpin#	Via#	MFpin#	ADpin#	Via#	MFpin#	ADpin#
3	1		54	37		102	80	80	154	115	
4		1	52		37	104	81	81	152		115
5	2		55	38		106	82	82	155	116	
6		2	56		38	105	83	83	156		116
7	3		57	39		108	84	84	158	117	117
8		3	58		39	107	85	85	157	118	
10	4	4	60	40	40	110	86	86	160		118
9	5		59	41		109	87	87	159	119	
12		5	62		41	112	88	88	162		119
11	6	6	61	42	42	111	89	89	161	120	
14	7	7	63	43		114	90	90	164		120
13	8	8	64		43	113	91	91	163	121	
16	9	9	65	44		116	92	92	166		121
15	10	10	66		44	115	93	93	165	122	
18	11	11	68	45	45	117	94		168		122
17	12	12	67	46	46	118		94	167	123	
20	13	13	70	47		119	95		170		123
19	14	14	69	48		120		95	169	124	
22	15	15	72	49		121	96		172		124
21	16	16	71	50		122		96	171	125	
24	17	17	74	51		123	97		174		125
23	18	18	73	52		124		97	173	126	
26	19	19	75	53		125	98		176		126
25	20		76	54	54	126		98	175	127	
28		20	77	55	55	128	99	99	177	128	
27	21		78	56	56	127	100		178	129	129
30		21	79	57	57	130		100	179	130	
29	22		80	58	58	129	101		180	131	
32		22	81	59	59	132		101	181	132	
31	23		82	60	60	131	102		182	133	
34		23	83	61	61	134		102	183	134	
33	24		84	62	62	133	103		184	135	135
36		24	85	63	63	136		103	185	136	
35	25		86	64	64	135	104	104	186		136
38		25	87	65	65	138	105	105	187	137	
37	26	26	88	66	66	137	106	106	188		137
39	27		89	67	67	139	107	107	189	138	
40		27	90	68	68	140	108	108	190		138
41	28	28	91	69	69	141	109		191	139	
42	29	29	92	70	70	142		109	192		139
43	30		93	71	71	143	110		193	140	
44		30	94	72	72	144		110	194		140
45	31	31	95	73	73	145	111		195	141	141
46	32	32	96	74	74	146		111	197	142	
47	33		97	75	75	147	112	112	196		142
48		33	98	76	76	149	113		199	143	
49	34	34	99	77	77	148		113	198		143
50	35	35	100	78	78	151	114		2	144	
51	36	36	101	79	79	150		114	200		144



図27、図28に示すように、チップMF、ADに共通の接続端子は、チップMF、ADのほぼ同じ位置に配置されている。これにより、テープキャリア2a、2bのリード5a、5bの引き回しが容易になり、リード長が短縮できるので、チップMF、ADのデータ転送を高速化することができる。また、必要なスルーホール8a、8bの数を最小限にすることができるので、テープキャリア2a、2bの外径寸法を縮小してパッケージサイズを小型化することができる。

特に限定はされないが、本実施の形態の積層型TCPを構成する各部材は、次のような材料および寸法で構成されている。

テープキャリア2a、2bは、厚さ75 $\mu$ mのポリイミド樹脂フィルムで構成されている。リード5a、5bは厚さ18 $\mu$ mのCu（銅）箔で構成され、それらの一端部（インナーリード部）の表面には、Au（金）またはSn（錫）のメッキが施されている。接着剤10はポリイミド樹脂で構成され、その膜厚は12 $\mu$ mである。ソルダーレジスト7はエポキシ樹脂で構成され、その膜厚は20 $\mu$ mである。外部接続端子である半田バンプ9とスルーホール8a、8b内の半田11は鉛（Pb）-錫（Sn）合金で構成されている。チップMFおよびチップADは厚さ50 $\mu$ mの単結晶シリコンで構成されており、それらの主面を保護するポッティング樹脂6はエポキシ樹脂で構成されている。チップMFおよびチップADの主面に形成されたバンプ電極4はAuで構成され、その高さは20 $\mu$ mである。すなわち、この積層型TCPは、チップMFとバンプ電極4の合計の厚さがテープキャリア2aの厚さよりも薄く、チップADとバンプ電極4の合計の厚さがテープキャリア2bの厚さよりも薄く構成されているので、半田バンプ9を除いた部分の積層方向の厚さが218 $\mu$ mという超薄型のパッケージになっている。

次に、本実施の形態の積層型TCPの製造方法を図29～図37を用いて説明する。なお、図29～図33の（a）はTCP1Bの断面図、（b）はTCP1Aの断面図である。

まず、図29に示すように、ポリイミド樹脂フィルムからなるテープキャリア2a、2bを用意し、それらを打ち抜いてテープキャリア2aにデバイスホール3aとスルーホール8aとを形成し、テープキャリア2bにデバイスホール3b

とスルーホール 8 b とを形成する。なお、これらのテープキャリア 2 a、2 b は、リールに巻かれた長尺のフィルムになっているが、図にはその一部分 (TCP 1 A、1 B 各 1 個分) のみを示す。

次に、図 30 に示すように、テープキャリア 2 a、2 b のそれぞれの一面に Cu 箔をラミネートした後、この Cu 箔をウェットエッチングしてテープキャリア 2 a にリード 5 a を形成し、テープキャリア 2 b にリード 5 b を形成する。また同時に、スルーホール 8 a の一端部に Cu 箔ホール 12 a を形成し、スルーホール 8 b の一端部に Cu 箔ホール 12 b を形成する。後の工程でスルーホール 8 a、8 b の内部に充填する半田 (11) とリード 5 a、5 b との接触面積を確保してスルーホール断線を防止するため、Cu 箔ホール 12 a の径はスルーホール 8 a よりも小さくし、Cu 箔ホール 12 b の径はスルーホール 8 b よりも小さくする。また、Cu 箔はポリイミド樹脂製のテープキャリア 2 a、2 b に比べて熱膨張係数が小さく、寸法安定性が高いので、Cu 箔ホール 12 a、12 b の径をスルーホール 8 a、8 b よりも小さくしておく、後の工程でスルーホール 8 a、8 b を利用してテープキャリア 2 a とテープキャリア 2 b とを重ね合わす際の位置決めを高精度に行うことができる。

次に、図 31 に示すように、テープキャリア 2 a のデバイスホール 3 a 内に突出するリード 5 a の一端部 (インナーリード部) の表面と、テープキャリア 2 b のデバイスホール 3 b 内に突出するリード 5 b の一端部 (インナーリード部) の表面とに電解メッキ法で Au または Sn のメッキを施した後、テープキャリア 2 a の下面にソルダーレジスト 7 を被着し、テープキャリア 2 b の下面に接着剤 10 を被着する。

次に、図 32 に示すように、チップ MF の接続端子に形成しておいたバンプ電極 4 とテープキャリア 2 a のリード 5 a をギャングボンディング方式で一括して接続する。また、チップ AD の接続端子に形成しておいたバンプ電極 4 とテープキャリア 2 b のリード 5 b をギャングボンディング方式で一括して接続する。チップ MF およびチップ AD は、あらかじめウエハ状態で裏面を研磨した後、スピネッチング法で厚さを 50  $\mu$ m まで薄くしておく。バンプ電極 4 は、スタッドバンプボンディング法を用い、ウエハプロセスの最終工程で形成する。リード 5

a、5bのインナーリード部にはAuまたはSnのメッキが施されているので、リード5aとバンプ電極4およびリード5bとバンプ電極4は、Au-Au接合またはAu-Sn共晶接合により接合される。リード5a、5bとバンプ電極4との接合は、ギャングボンディング方式に代えてシングルポイントボンディング方式で行ってもよい。

次に、図33に示すように、樹脂ポッティング用のディスペンサを使用してチップMFの主面およびテープキャリア2aとデバイスホール3aとの隙間にポッティング樹脂6を被着する。同様に、チップADの主面およびテープキャリア2bとデバイスホール3bとの隙間にポッティング樹脂6を被着する。

次に、切断金型を使用して長尺のテープキャリア2a、2bを個片化した後、個々のテープキャリア2a、2bをソケットに装着してエージング検査に付し、良品を選別する。テープキャリア2a、2bのエージングは、テープキャリア2a、2bの各一部に形成しておいたテスト用のパッドにソケットのピンを当てて行う。ここまでの工程で、チップMFを封止したTCP1AおよびチップADを封止したTCP1Bが略完成する。

次に、図34に示すように、向かい合ったスルーホール8a、8bの位置が正確に一致するようにテープキャリア2a、2bを重ね合わせて加熱圧着し、接着剤10で両者を接合することにより、TCP1A、1Bをワンパッケージ化する。前述したように、チップMFはテープキャリア2aよりも薄く、チップADはテープキャリア2bよりも薄いので、TCP1AとTCP1Bを密に接合することができる。スルーホール8aとスルーホール8bとの位置決めには、前述したCu箔ホール12a、12bを利用する。あるいは、テープキャリア2a、2bの各一部に形成しておいたテスト用のパッドを利用してもよい。

次に、図35に示すように、鉛(Pb)-錫(Sn)合金からなる半田ペーストをスルーホール8a、8bの内部にスクリーン印刷法で埋め込んだ後、この半田ペーストをリフローして半田11を形成する。

その後、テープキャリア2aのスルーホール8aの一端部に半田バンプ9を形成することにより、前記図1、図2に示す積層型TCPが完成する。半田バンプ9は、テープキャリア2aの半田バンプ形成面を上向きにした状態で、あらかじ

- め形成しておいた半田ボールをスルーホール 8 a の上に位置決めし、その後、この半田ボールをリフローして形成する。あるいは、ガラス基板の表面に並べた半田バンプをスルーホール 8 a の表面に転写して形成してもよい。半田バンプ 9 は、スルーホール 8 a、8 b の内部に充填した半田 1 1 よりも低融点の鉛 (P b) - 5 錫 (S n) 合金で構成する。

このようにして製造された積層型 T C P をプリント配線基板に実装するには、図 3 6 に示すように、上記半田バンプ 9 をプリント配線基板 1 4 の電極 1 5 上に位置決めし、その後、半田バンプ 9 をリフローすればよい。

- 本実施の形態の積層型 T C P は、チップ M F、A D から発生した熱が主に半田  
10 バンプ 9 を通じて基板に逃げるので、T C P 1 A、1 B を積層する場合は、発熱量がより多いチップを下側 (基板に近い側) に配置する。上記の例では、フラッシュメモリ搭載マイクロコンピュータを形成したチップ M F の方が D R A M オンチップロジックを形成したチップ A D に比べて機能ブロックの数が多く、発熱量も多いので、チップ A D の下側にチップ M F が配置されている。また、接続端子  
15 数が多いチップを下側 (基板側) に配置することにより、チップの接続端子と外部接続端子とを接続する配線の引き回しが容易になる。

- また、このように発熱量が大きい、システムオンチップ化を図った積層型モジュールにおいては、チップ A D に形成される D R A M のメモリセルは、積層型キャパシタ (S T C) 構造を採用することが好ましい。積層型キャパシタ構造は、  
20 プレーナ型キャパシタ構造に比べて熱的リーク電流が少なく、熱的信頼性が高いからである。さらに、積層型キャパシタ構造は、リフレッシュサイクルを長くすることができるので、発熱量を抑えることも可能である。

- チップの発熱量が非常に多い場合は、図 3 7 に示すように、積層型 T C P の上部に A 1 のような熱伝導率の高い金属で構成した放熱フィン 1 6 を取り付けても  
25 よい。この場合は、チップ A D の上部 (放熱フィン 1 6 に近い側) に発熱量が多いチップ M F を配置する。

次に、本発明のパッケージの他の実施の形態について説明する。

前述した製造方法では、T C P 1 A と T C P 1 B を重ね合わせた後、向かい合ったスルーホール 8 a、8 b の内部に半田 1 1 を埋め込んだ (図 3 4、3 5 参照)

が、次のような方法でTCP1A、1Bをワンパッケージ化してもよい。

まず、図38に示すように、前述した方法に従ってTCP1AとTCP1Bを個別に形成する。次に、図39に示すように、TCP1Aのスルーホール8aの内部に半田ペースト11pを埋め込み、TCP1Bのスルーホール8bの内部に  
5 半田ペースト11pを埋め込む。半田ペースト11pの埋め込みには、スクリーン印刷法を用いる。

次に、図40に示すように、テープキャリア2a、2bを重ね合わせて加熱圧着し、接着剤10で両者を接合すると共に、半田ペースト11pをリフローしてスルーホール8a、8bの内部に半田11を形成する。その後の工程は、前記の  
10 製造方法と同じである。

この製造方法は、TCP1AとTCP1Bが半田ペースト11pの粘着力で仮付けされるため、重ね合わせたTCP1A、1Bを加熱炉などに搬送して両者を加熱圧着するまでの間、向かい合ったスルーホール8a、8bの位置ずれを防止することができる。

15 スルーホール8a、8bの他の形成方法として、テープキャリア2a、2bを重ね合わせてTCP1A、1Bをワンパッケージ化した後、ドリルを使ってテープキャリア2a、2bに孔を形成し、次いで孔の内部に無電解メッキ法で導電層を形成してもよい。

また、チップMF、ADの封止は、前記のポッティング方式に代えてトランスファモールディング方式で行うこともできる。この場合は、まず図41に示すように、  
20 前述した方法に従ってチップMFのバンプ電極4とテープキャリア2aのリード5aを電氣的に接続し、チップADのバンプ電極4とテープキャリア2bのリード5bを電氣的に接続する。

次に、図42に示すように、チップMF、ADをモールド樹脂17で封止する。  
25 チップMF、ADを封止するには、テープキャリア2a、2bをそれぞれモールド金型に装着し、複数個のチップMF、ADをそれぞれ多連で一括して封止する。モールド樹脂17には、エポキシ系の樹脂を使用する。

図示の例では、チップMF、ADの全面をモールド樹脂17で被覆しているが、チップMF、ADの裏面をモールド樹脂17から露出させる構造にしてもよい。

その場合、通常のトランスファモールド方式ではなく、シート状に加工した樹脂をテープキャリア 2 a、2 b の上面に当てて加熱圧着することにより、チップ MF、AD の主面および側面に樹脂を流し込むこともできる。ただし、この方式では、テープキャリア 2 a、2 b の上面から樹脂がはみ出すことがないように、樹脂の流し込み量を高精度に制御する必要がある。

なお、本発明のパッケージは、チップ MF、AD を封止するモールド樹脂 17 の厚みが極めて薄いので、チップ MF、AD の裏面をモールド樹脂 17 から露出させる場合や、チップ MF、AD の全面をモールド樹脂 17 で被覆する構造で、チップ MF、AD の主面と裏面とでモールド樹脂 17 の厚さに偏りがある場合には、チップ MF、AD とモールド樹脂 17 の熱膨張係数に差があると TCP 1 A、1 B に反りが発生し、チップクラックや基板実装時の接続不良を引き起こす。従って、モールド樹脂 17 は熱膨張係数が低く、チップ MF、AD の熱膨張係数に近い材料を選定する必要がある。

次に、切断金型を使用してテープキャリア 2 a、2 b を個片化し、個々の TCP 1 A、1 B をエージング検査に付して良品を選別した後、図 43 に示すように、向かい合ったスルーホール 8 a、8 b の位置が正確に一致するようにテープキャリア 2 a、2 b を重ね合わせて加熱圧着し、接着剤 10 で両者を接合する。その後、前述した方法に従ってスルーホール 8 a、8 b の内部に半田 11 を形成し、さらにテープキャリア 2 a のスルーホール 8 a の一端部に半田バンプ 9 を形成することにより、積層型 TCP が完成する。あるいは、図 44 に示すように、TCP 1 A のスルーホール 8 a の内部と TCP 1 B のスルーホール 8 b の内部にそれぞれ半田 11 を充填した後に TCP 1 A、1 B を積層してワンパッケージ化してもよい。

チップ MF とチップ AD は、両者を同時に一括してモールド樹脂 17 で封止してもよい。この場合は、まず図 45 に示すように、前述した方法に従ってチップ MF のバンプ電極 4 とテープキャリア 2 a のリード 5 a を電氣的に接続し、チップ AD のバンプ電極 4 とテープキャリア 2 b のリード 5 b を電氣的に接続した後、テープキャリア 2 a、2 b を重ね合わせて加熱圧着し、接着剤 10 で両者を接合する。次に、図 46 に示すように、チップ MF、AD をモールド樹脂 17 で同時

に封止した後、図47に示すように、前述した方法に従ってスルーホール8a、8bの内部に半田11を形成し、さらにテープキャリア2aのスルーホール8aの一端部に半田バンプ9を形成する。

- チップMF、ADをモールド樹脂17で封止する上記の方式によれば、チップ
- 5 MF、ADをポッティング樹脂6で封止する方式に比べて、封止部の外径寸法精度が向上するため、寸法安定性の高い均一な形状の積層型TCPを製造することができる。また、複数のチップMF、ADを多連で一括して封止することにより、封止時間を短縮することができる。さらに、モールド樹脂17の厚みをテープキャリア2a、2bと同じにすることにより、TCP1AとTCP1Bの間に
- 10 隙間ができないので、TCP1AとTCP1Bの間に水分が溜まるなどの不具合を防止することができ、信頼性の高い積層型TCPを製造することができる。

本発明の積層型TCPは、半田バンプ9で外部接続端子を構成する方式に代えて、リード5a、5bで外部接続端子を構成することもできる。この積層型TCPの製造方法を図48～図53を用いて説明する。

- 15 まず、図48に示すように、ポリイミド樹脂フィルムからなるテープキャリア2a、2bを打ち抜いてテープキャリア2aにデバイスホール3aを形成し、テープキャリア2bにデバイスホール3bを形成する。これらのテープキャリア2a、2bには、前記のようなスルーホール8a、8bは形成しない。

- 次に、図49に示すように、前述した方法に従ってテープキャリア2aにリー
- 20 ド5aを形成すると共に、テープキャリア2bにリード5bを形成し、それらの一端部（インナーリード部）の表面にAuまたはSnのメッキを施した後、テープキャリア2aの一面に溶剤レジスト7を被着し、テープキャリア2bの一面に接着剤10を被着する。リード5a、5bは、それらの他端部（アウターリード部）が外部接続端子として利用できるような長さに形成する。

- 25 次に、図50に示すように、前述した方法に従ってチップMFのバンプ電極4とテープキャリア2aのリード5aを電氣的に接続し、チップADのバンプ電極4とテープキャリア2bのリード5bを電氣的に接続した後、チップMF、ADをポッティング樹脂6で封止する。続いて、テープキャリア2a、2bを個片化し、個々のTCP1A、1Bをエージング検査に付して良品を選別する。

次に、図 5 1 に示すように、前述した方法に従ってテープキャリア 2 a、2 b を重ね合わせて接合することにより、TCP 1 A、1 B をワンパッケージ化した後、図 5 2 に示すように、リード 5 a、5 b の他端部（アウターリード部）を支持しているテープキャリア 2 a、2 b を切断除去する。

- 5      次に、リード 5 a、5 b の他端部（アウターリード部）の表面に半田メッキを施した後、図 5 3 に示すように、リード 5 a、5 b の他端部（アウターリード部）をリード成形金型を使ってガルウィング状に成形する。リード 5 a、5 b は、同じ金型を使って同時に成形する。

- このようにして製造された積層型 TCP をプリント配線基板に実装するには、  
10    図 5 4 に示すように、上記リード 5 a、5 b の他端部（アウターリード部）をプリント配線基板 1 4 の電極 1 5 上に重ね合わせた後、半田メッキをリフローする。その際、2 つのチップ MF、AD の共通する接続端子に接続されたリード 5 a、5 b は、プリント配線基板 1 4 の同じ電極 1 5 に接続する。すなわち、この積層型 TCP は、2 つのチップ MF、AD の共通する接続端子をリード 5 a、5 b を  
15    通じて電氣的に接続し、このリード 5 a、5 b を介して外部（プリント配線基板）に共通に引き出す構造になっている。

- 図示の積層型 TCP は、チップ MF、AD の主面を上に向けて配置しているが、下に向けて配置してもよい。また、チップ MF、AD をポッティング樹脂 6 で封止しているが、図 5 5 に示すように、チップ MF、AD をモールド樹脂 1 7 で封  
20    止してもよい。

- 外部接続端子をリード 5 a、5 b で構成する上記の積層型 TCP によれば、外部接続端子を半田バンプ 9 で構成する前記の積層型 TCP に比べて、製造工程を簡略化することができるので、積層型 TCP の製造コストを低減することができる。また、テープキャリア 2 a、2 b にスルーホール 5 a、5 b を設けなくとも  
25    よいので、リード 5 a、5 b の引き回しが容易になると共に、テープキャリア 2 a、2 b の製造コストを低減することもできる。

さらに、テープキャリア 2 a のリード 5 a とテープキャリア 2 b のリード 5 b を同じ金型で同時に成形することにより、外部接続端子の形成に要する時間を短縮することができる。また、リード 5 a、5 b の他端部（アウターリード部）を



プリント配線基板 14 の電極 15 上に重ね合わせて接続することにより、プリント配線基板 14 の表面に占める電極 15 の面積を小さくすることができると共に、積層型 TCP の実装（リード 5 a、5 b と電極 15 の接続）を 1 回で行うことができる。

5 外部接続端子を構成する上記リード 5 a、5 b は、2 つの金型を使って個別に成形してもよい。この場合も、図 56（チップ MF、AD をポッティング樹脂 6 で封止した構造）および図 57（チップ MF、AD をモールド樹脂 17 で封止した構造）に示すように、2 つのチップ MF、AD の共通する接続端子に接続されたリード 5 a、5 b をプリント配線基板 14 の同じ電極 15 に接続する。

10 図 58 に示す積層型 TCP は、下層の TCP 1 A に形成したリード 5 a の他端部（アウターリード部）をガルウィング状に成形して外部接続端子を構成し、TCP 1 A と TCP 1 B との電氣的な接続は、テープキャリア 2 a、2 b に形成したスルーホール 8 a、8 b の内部に埋め込んだ半田 11 を通じて行っている。

15 ガルウィング状に成形したリードで外部接続端子を構成する上記の構造は、積層型 TCP とプリント配線基板との熱膨張係数差に起因して両者の接続部に加わる応力がフレキシブルなリードの変形によって吸収・緩和されるため、半田バンブで外部接続端子を構成する構造に比べて、基板との接続信頼性が高い。

本発明のパッケージは、図 59 に示すように、TCP 1 A と TCP 1 B をワンパッケージ化せず、個別にプリント配線基板 14 に実装することもできる。この  
20 場合は、TCP 1 A、1 B をワンパッケージ化した積層型 TCP に比べて実装密度は低下するが、TCP 1 A、1 B を積層してワンパッケージ化する工程が不要となるので、パッケージの製造コストを低減することができる。

本発明の積層型 TCP は、半田バンブ 9 やリード 5 a、5 b で外部接続端子を構成する方式に代えて、図 60 に示すように、PGA (Pin Grid Array) 型パッケージで使用されるピン 18 で外部接続端子を構成することもできる。ピン 18 の  
25 表面には Sn（錫）などのメッキが施され、スルーホール 8 a、8 b の内部においてリード 5 a および／またはリード 5 b と電氣的に接続される。

また、本発明の積層型 TCP は、異方導電性フィルムを使ってチップ MF とリード 5 a およびチップ AD とリード 5 b を接続することもできる。

異方導電性フィルムを使って積層型TCPを製造するには、まず、図61に示すように、前述した方法に従ってテープキャリア2aにデバイスホール3a、スルーホール8aおよびリード5aを形成し、テープキャリア2bにデバイスホール3b、スルーホール8aおよびリード5bを形成した後、テープキャリア2aの一面に溶剤レジスト7を被着し、テープキャリア2bの一面に接着剤10を被着する。

次に、図62に示すように、あらかじめテープキャリア2aのデバイスホール3aとほぼ同じ寸法に裁断しておいた異方導電性フィルム19aをデバイスホール3aの内部に突出するリード5aの一端部（インナーリード部）の上に位置決めする。同様に、あらかじめテープキャリア2bのデバイスホール3bとほぼ同じ寸法に裁断しておいた異方導電性フィルムを19bをデバイスホール3bの内部に突出するリード5bの一端部（インナーリード部）の上に位置決めする。

次に、図63に示すように、バンプ電極4が形成されたチップMFの主面を下向きにして異方導電性フィルム19aの上に位置決めした後、異方導電性フィルム19aを加熱加圧することにより、異方導電性フィルム19a中の導電粒子を介してバンプ電極4とリード5aを電氣的に接続する。同様に、バンプ電極4が形成されたチップADの主面を下向きにして異方導電性フィルム19bの上に位置決めした後、異方導電性フィルム19bを加熱加圧することにより、異方導電性フィルム19b中の導電粒子を介してバンプ電極4とリード5bを電氣的に接続する。続いて、テープキャリア2a、2bを個片化し、個々のTCP1A、1Bをエージング検査に付して良品を選別する。

次に、図64に示すように、前述した方法に従ってテープキャリア2a、2bを重ね合わせてTCP1A、1Bをワンパッケージ化した後、図65に示すように、スルーホール8a、8bの内部に半田11を充填し、さらにスルーホール8aの一端部に半田バンプ9を形成する。

上述した本発明の各種積層型TCPは、チップMFとチップADを組み合わせる場合だけでなく、前述したチップMFA+チップD、チップMFA+チップADD、チップMF+チップDなどの構成例にも適用できることは勿論である。また、本発明の積層型TCPは、3個以上のチップを積層する場合にも適用することが

できる。

図66に示す積層型TCPは、マイクロコンピュータとフラッシュメモリを形成したチップMFをTCP1Aに封止すると共に、DRAMのみを形成した2個のチップD<sub>1</sub>、D<sub>2</sub>を2個のTCP1C、TCP1Dに封止し、これら3個のTCP1A、1C、1Dを上下方向に重ね合わせて一体に接合した積層型TCP構造を有している。

最下層のTCP1Aに封止されたチップMFは、テープキャリア2aのデバイスホール3a内にその主面（素子形成面）を上に向けて配置されており、その主面の周辺部に形成されたバンプ電極4を介して、テープキャリア2aの一面に形成されたリード5aの一端（インナーリード部）と電氣的に接続されている。チップMFは、モールド樹脂17で封止されている。テープキャリア2aの一面に形成されたリード5aは、図67に示すようなパターンを有している。

TCP1Aの上部には、チップD<sub>1</sub>を封止したTCP1Cが積層されており、さらにその上部にはチップD<sub>2</sub>を封止したTCP1Dが積層されている。TCP1Cに封止されたチップD<sub>1</sub>は、テープキャリア2cの中央部に開孔されたデバイスホール3c内にその主面を上に向けて配置されており、その主面の中央部に形成されたバンプ電極4を介して、テープキャリア2cの一面に形成されたリード5cの一端（インナーリード部）と電氣的に接続されている。同様に、TCP1Dに封止されたチップD<sub>2</sub>は、テープキャリア2dの中央部に開孔されたデバイスホール3d内にその主面を上に向けて配置されており、その主面の中央部に形成されたバンプ電極4を介して、テープキャリア2dの一面に形成されたリード5dの一端（インナーリード部）と電氣的に接続されている。これらのチップD<sub>1</sub>、D<sub>2</sub>もモールド樹脂17で封止されている。テープキャリア2cの一面に形成されたリード5cは、図68に示すようなパターンを有しており、テープキャリア2dの一面に形成されたリード5dは、図69に示すようなパターンを有している。

この積層型TCPは、上記3つのチップMF、D<sub>1</sub>、D<sub>2</sub>の共通する（すなわち同一機能を有する）接続端子（ピン）をテープキャリア2a、2c、2dの同じ位置に配置されたスルーホール8a、8c、8dを通じて電氣的に接続し、テー

ブキャリア 2 a に形成されたリード 5 a の他端部（アウターリード部）を通じて外部（プリント配線基板）に共通に引き出す構造になっている。外部接続端子は、リードの他、前述した半田バンプやピンなどで構成できることは勿論である。

図 6 7 には、チップ MF に形成された接続端子の番号（1 ～ 1 4 4）とテープキャリア 2 a に形成されたスルーホール 8 a の番号（1 ～ 1 4 4）とが付してある。また、図 6 8 には、チップ D<sub>1</sub> に形成された接続端子の番号（1 ～ 4 6）とテープキャリア 2 c に形成されたスルーホール 8 c の番号（1 ～ 1 4 4）とが付してあり、図 6 9 には、チップ D<sub>2</sub> に形成された接続端子の番号（1 ～ 4 6）とテープキャリア 2 d に形成されたスルーホール 8 d の番号（1 ～ 1 4 4）とが付してある。テープキャリア 2 a、2 c、2 d の同じ位置に配置されたスルーホール 8 a、8 c、8 d には、同じ番号が付してある。

チップ D<sub>1</sub>、D<sub>2</sub> の面積がいずれもチップ MF の面積の半分以下である場合は、図 7 0 に示すように、チップ D<sub>1</sub>、D<sub>2</sub> を横に並べて配置し、チップ D<sub>1</sub>、D<sub>2</sub> の共通する接続端子を共通のリード 5 e で接続することができる。このようにすると、2 個のチップ MF、AD を搭載した前記の積層型 TCP と同様、超薄型のパッケージを実現することができる。

本発明のパッケージは、上記した構造に限定されるものではなく、その細部に種々の設計変更を加えることができる。例えば図 7 1 に示すように、TCP 1 A に封止されたチップ MF とテープキャリア 2 a に形成されたリード 5 a を Au のワイヤ 2 0 で電氣的に接続する構造を採用することもできる。

また、積層型 TCP 構造以外にも、例えば図 7 2 に示すように、チップ MF とチップ AD をワンパッケージ化せず、個別に QFP (Quad Flat package) 型のパッケージに封止してプリント配線基板 1 4 に実装することもできる。

本発明のパッケージは、マルチメディア機器、情報家電などの機器、システム、例えば図 7 3 に示すようなカーナビゲーションシステム、図 7 4 に示すような CD-ROM (Compact Disk ROM) 駆動装置、図 7 5 に示すようなゲーム機器、図 7 6 に示すような PDA (Personal Digital Assistance)、図 7 7 に示すような移動体通信機器などに用いられ、以下において、それぞれの概要を説明する。

図 7 3 は、カーナビゲーションシステムの内部構成例を示す機能ブロック図で

ある。このカーナビゲーションシステムは、制御部と、この制御部に接続された表示部、GPSおよびCD-ROMとから構成されている。制御部は、メインCPU、プログラムEPROM(4M)、ワークRAM(SRAM:1M)、I/O制御回路、ARTOP、画像用RAM(DRAM:4M)、CG(Computer Graphics)用ROM(マスクROM:4M)、ゲートアレイなどからなり、また表示部はスレーブマイクロコンピュータ、TFTなどから構成されている。

このカーナビゲーションシステムにおいて、制御部のメインCPUは、プログラムEPROMに格納されている制御プログラムに従って制御する。まず、制御部は、衛星と地上局との間で車の位置を測定するGPSによる位置情報と、CD-ROMに格納されている地図情報とをI/O制御回路、ゲートアレイを介してそれぞれ入力し、これらの情報をワークRAMに格納する。

そして、CG用ROMに格納されている処理プログラムに従い、ワークRAMに格納されている位置情報と地図情報とに基づいて車の位置を地図上に配置する処理などをARTOPにより行い、この画像情報を画像用RAMに格納する。その後、画像用RAMに格納されている画像情報を表示部に渡し、表示部においては、スレーブマイクロコンピュータの制御に基づいてTFTによる画面上に画像情報を表示させることにより、車の位置が地図上に配置された画像を表示させることができる。

このカーナビゲーションシステムにおいては、メインCPUをプロセッサ、プログラムEPROMをフラッシュメモリ、ARTOPなどをASICによるロジック回路で構成することにより、このブロック部分に本実施の形態のチップMFAを使用し、また画像用RAMをDRAM、ゲートアレイをASICによるロジック回路で構成することにより、このブロック部分に本実施の形態のチップADを使用することができる。また単に、メインCPU、プログラムEPROMの部分にチップMF、画像用RAMの部分にチップDを使用することなどもできる。

図74は、CD-ROM駆動装置の内部構成例を示す機能ブロック図である。このCD-ROM駆動装置は、フラッシュメモリを含むマイクロコンピュータと、このマイクロコンピュータに双方向で接続されたプリサーボ回路、信号処理回路、ROMデコーダ、ホストI/Fと、プリサーボ回路、信号処理回路にそれぞれ双

方向で接続されたピックアップ、SRAMと、ROMデコーダに接続されたD/Aと、ホストI/Fに接続されたバッファRAMなどから構成されている。

- また、信号処理回路にはCD-ROMを駆動するモータMが接続され、またCD-ROMの信号はピックアップにより読み取られる。このモータの回転はブリ  
5 サーボ回路、信号処理回路の信号により制御される。さらに、D/Aにはスピーカが接続されている。また、このCD-ROM駆動装置はホストI/Fを介してホストコンピュータに接続されるようになっている。

- このCD-ROM駆動装置においては、マイクロコンピュータの制御に基づいて、CD-ROMの信号をピックアップにより読み取り、この読み取り情報の処理を信号処理回路により行い、この処理された情報をSRAMに格納する。さら  
10 に、SRAMに格納されている情報をROMデコーダによりデコードして、D/Aを介してアナログ信号に変換した後にスピーカから出力することができると共に、バッファRAMに一時的に格納した後にホストI/Fを介してホストコンピュータに出力することができる。

- このCD-ROM駆動装置においては、フラッシュメモリを含むマイクロコンピュータ、信号処理回路などのブロック部分に本実施の形態のチップMFAを使用し、またバッファRAM、ホストI/Fのブロック部分に本実施の形態のチップADを使用することができる。また単に、フラッシュメモリを含むマイクロコンピュータの部分にチップMF、バッファRAMの部分にチップDを使用すること  
20 などもできる。

- 図75は、ゲーム機器の内部構成例を示す機能ブロック図である。このゲーム機器は、本体制御部と、本体制御部に接続されたスピーカ、CD-ROM、ROMカセット、CRTが接続された表示RAM(SDRAM:4M)、バッファRAM(DRAM:4M)およびキーボードとから構成されている。本体制御部は、  
25 メインCPU、システムROM(マスクROM:16M)、DRAM(SDRAM:4M)、RAM(SRAM:256k)、サウンドプロセッサ、グラフィックプロセッサ、画像圧縮プロセッサ、I/O制御回路などから構成されている。

このゲーム機器において、本体制御部のメインCPUは、システムROMに格納されている制御プログラムに従って制御する。CD-ROM、ROMカセット

に格納されている画像・音声情報と、キーボードからの指示情報とをI/O制御回路を介してそれぞれ入力し、これらの情報をDRAM、RAMに格納する。

- そして、DRAM、RAMに格納されている情報をサウンドプロセッサ、グラフィックプロセッサを用いてそれぞれオーディオ、ビデオ信号に処理して、オーディオ信号はスピーカーから音声として出力し、またビデオ信号は表示RAMに一時的に格納した後にCRTの画面上に画像として表示させることができる。この際に、ビデオ信号は画像圧縮プロセッサにより情報量が圧縮されてバッファRAMに格納されて用いられる。

- このゲーム機器においては、メインCPU、システムROM、サウンドプロセッサ、グラフィックプロセッサなどのブロック部分に本実施の形態のチップMFAを使用し、またDRAM、画像圧縮プロセッサなどのブロック部分に本実施の形態のチップADを使用することができる。また単に、メインCPU、システムROMの部分にチップMF、DRAM、RAM、バッファRAMなどの部分にチップDを使用することなどもできる。

- 図76は、PDAの内部構成例を示す機能ブロック図である。このPDAは、グラフィック制御回路、手書き入力回路、メモリ制御回路、セキュリティ管理回路、通信制御回路からなるフラッシュメモリを含むマイクロコンピュータと、このマイクロコンピュータのグラフィック制御回路に接続されたLCD、手書き入力回路に接続されたA/Dを介したディジタイザ、メモリ制御回路に接続されたシステムメモリ（マスクROM：16M）、セキュリティ管理回路に接続されたICカード、通信制御回路に接続されたIR-IF、RS-232C、PCMCIA制御回路を介したPCMCIAカードとから構成されている。このマイクロコンピュータは、通信制御回路からネットワークを介してPHS、GSM、ADCなどに接続されるようになっている。

- このPDAにおいては、システムメモリに格納されている制御プログラムに従ってメモリ制御回路により制御し、ディジタイザを用いて書かれた情報をA/Dによりデジタル信号に変換した後、手書き入力回路に格納する。この手書き入力回路に格納されている情報は、グラフィック制御回路を用いて信号処理した後にLCDの画面上に表示させることができる。他に、外部との通信情報、セキュ

リティ管理情報などもグラフィック制御回路を介してLCDの画面上に表示させることができる。

さらに、PHS、GSM、ADCなどとの通信は、ネットワークを介して通信制御回路の制御により行うことができ、またIR-IF、RS-232C、PCMCIA制御回路を介したPCMCIAカードなどからの情報もマイクロコンピュータに取り込むことができる。また、ICカードの情報は、セキュリティ管理回路によるセキュリティ管理のために用いられる。

このPDAにおいては、グラフィック制御回路、手書き入力回路、メモリ制御回路、セキュリティ管理回路、通信制御回路からなるフラッシュメモリを含むマイクロコンピュータのブロック部分に本実施の形態のチップMFAを使用することができる。また単に、グラフィック制御回路、手書き入力回路などの部分にチップDを使用することなどもできる。

図77は、移動体通信機器の内部構成例を示す機能ブロック図である。この移動体通信機器は、フラッシュメモリを含むCPUと、このCPUに接続されたCHコーデック、LCDコントローラ／ドライバ、ICカードと、CHコーデックに接続され、モデムを介して接続されたRF／IF、スピーチコーデックと、LCDコントローラ／ドライバに接続されたLCDとから構成され、RF／IFにはアンテナ、スピーチコーデックにはスピーカ、マイクがそれぞれ接続されている。

この移動体通信機器において、CPUのフラッシュメモリに格納されているプログラムにより制御し、信号の受信時には、アンテナからの信号をRF／IFを介して受信して、モデムを用いて変調する。そして、変調した信号をCHコーデック、スピーチコーデックを用いて音声信号に変換し、スピーカから音声として出力することができる。

また、信号の送信時には、受信時とは逆に、マイクからの音声信号をスピーチコーデック、CHコーデックを用いて変換し、モデムを用いて復調した後に、RF／IFを介してアンテナから送信することができる。

この移動体通信機器においては、CPU、CHコーデックなどのブロック部分に本実施の形態のチップMFAを使用し、またLCDコントローラ／ドライバな



どの部分に本実施の形態のチップADを使用することができる。また単に、CPUの部分にチップMFを使用することなどもできる。

5 以上のように、本実施の形態のチップMF、チップMFA、チップAD、チップDなどの組み合わせにより構成される半導体集積回路装置は、カーナビゲーションシステム、CD-ROM駆動装置、ゲーム機器、PDA、移動体通信機器などのマルチメディア機器、情報家電などの機器、システムなどに広く適用することができる。

従って、本発明によれば、以下のような効果を得ることができる。

10 (1) 回路的なコスト面においては、CPUおよびフラッシュメモリなどによるチップMFとDRAMによるチップDとの2種類のチップをワンパッケージ化したパッケージ構造とすることで、外部接続端子数の低減、2種類のチップのワンパッケージ化による実装面積の縮小を図り、半導体集積回路装置のコストダウンを図ることができる。さらに、この半導体集積回路装置を用いた機器、システムなどにおける低コスト化も可能となる。

15 (2) チップMF、チップDのそれぞれにASICなどのロジック回路を内蔵するチップMFA、チップADとする場合、DRAMをシンクロナスDRAMとする場合には、さらに外部接続端子を共通にすることができるので、より一層、外部接続端子数を低減してコストダウンを図ることができる。

20 (3) 回路的な動作面においては、DRAMとASICなどのロジック回路とが搭載されたチップADとすることで、ウェイト制御を不要にして、外部からみたDRAMのセルフリフレッシュ期間にロジック回路からDRAMに対するアクセス動作を行うことができるので、外部とチップADとの間のデータ転送の高速化を実現することができる。

25 特に、CPU自身が時間をコントロールして1クロックサイクルを実現することにより、ウェイト信号のやり取りをしなくて済むので、高速アクセスを行うことができる。さらに、この半導体集積回路装置を用いた機器、システムなどにおける処理の高速化も可能となる。

(4) DRAMとロジック回路とが搭載されたチップADと、CPUとフラッシュメモリとなどが搭載されたチップMF、チップMFAとの2種類のチップをワ

ンパッケージ化したパッケージ構造においても、CPUから見たDRAMのセルフリフレッシュ期間にロジック回路からDRAMに対するアクセス動作が可能になるので、チップADとチップMF、チップMFAとの間のデータ転送の高速化を実現することができる。

- 5 (5) ウェイト信号のやり取りをするウェイト制御が不要となるので、処理のタイミング自身をCPUからコントロールすることができる、すなわち処理をするタイミング自身をCPUのプログラムの中で分かるので、半導体集積回路装置のプログラム作成を容易にすることができる。

- 10 (6) 汎用のDRAMインタフェースを使用することにより、DRAMとロジック回路とが搭載されたチップADと、CPUとフラッシュメモリとなどが搭載されたチップMF、チップMFAとを高速動作可能に直結することができる。

- 15 (7) 電源レベルの異なるDRAM、ロジック、フラッシュメモリなどを2以上のチップに分けて形成することにより、プロセス上の負担が低減されるため、これらをワンチップに混載して形成する場合に比べてチップの製造コストを大幅に低減することができる。

(8) CPUおよびフラッシュメモリなどによるチップMFとDRAMによるチップDとの2種類のチップを超薄型の積層パッケージに搭載してワンパッケージ化したことにより、チップの実装面積を大幅に縮小することができる。

- 20 以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 産業上の利用可能性

- 25 以上のように、本発明にかかる半導体集積回路装置は、MCM的なアプローチから、CPUを含むマイクロコンピュータにフラッシュメモリ、さらにASICなどのロジック回路を形成した第1のチップと、DRAM、さらにASICなどのロジック回路を形成した1つまたは複数の第2のチップとなどの複数種類の半導体チップを互いに信号の入出力が可能に同一のパッケージの内部に収納したパッケージ構造において、DRAMのセルフリフレッシュ期間を有効に利用してデ

ータ転送の高速化を実現することができる半導体集積回路装置に有用であり、さらにこの半導体集積回路装置を用いたマルチメディア機器、情報家電などの機器、システムなどに広く適用することができる。

## 請 求 の 範 囲

1. 少なくともDRAMとロジック回路とが形成されている半導体チップからなり、

前記ロジック回路は、少なくとも、

- 5 前記DRAMに対する書き込み動作／読み出し動作のアクセス動作を制御するとともに、前記DRAMのセルフリフレッシュ動作時はリフレッシュ動作／アクセス動作を実行可能な制御手段と、

前記DRAMに格納されているデータを処理するとともに、前記DRAMに格納されているデータの処理時は前記制御手段に対して書き込み要求／読み出し要求を出力する処理手段とを有することを特徴とする半導体集積回路装置。

10

2. 請求項1記載の半導体集積回路装置であって、前記制御手段は、通常のアクセス動作時は前記DRAMをメモリ機能として実行し、かつセルフリフレッシュ動作時は前記処理手段の要求に従ってリフレッシュ動作／アクセス動作を実行することを特徴とする半導体集積回路装置。

15

3. 請求項2記載の半導体集積回路装置であって、前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の書き込み要求に従ってアクセス動作を繰り返すとともに、書き込み動作と書き込み動作との間の期間にリフレッシュ動作を実行することを特徴とする半導体集積回路装置。

20

4. 請求項2記載の半導体集積回路装置であって、前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の読み出し要求に従ってアクセス動作を繰り返すとともに、読み出し動作と読み出し動作との間の期間にリフレッシュ動作を実行することを特徴とする半導体集積回路装置。

25

5. 請求項2記載の半導体集積回路装置であって、前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の書き込み要求と読み出し要求とに従ってアクセス動作を繰り返すとともに、書き込み動作と読み出し動作との間の期間にリフレッシュ動作を実行することを特徴とする半導体集積回路装置。

6. 請求項1記載の半導体集積回路装置であって、前記制御手段は、外部から入力されるアドレスストロブ信号に基づいて、前記DRAMに対する通常の書き

込み動作／読み出し動作を実行するアクセス期間と、前記処理手段に対して出力したセルフリフレッシュ許可信号に対する応答の書き込み要求信号／読み出し要求信号を入力としてリフレッシュ動作／アクセス動作を実行するセルフリフレッシュ期間とを設定することを特徴とする半導体集積回路装置。

- 5     7. 請求項6記載の半導体集積回路装置であって、前記セルフリフレッシュ期間は、前記処理手段からの書き込み要求信号を入力として書き込み動作を実行する書き込みアクセス期間と、前記処理手段からの読み出し要求信号を入力として読み出し動作を実行する読み出しアクセス期間と、前記書き込みアクセス期間および前記読み出しアクセス期間を除く期間でリフレッシュ動作を実行するリフレッシュ期間とからなることを特徴とする半導体集積回路装置。

- 10    8. 請求項1記載の半導体集積回路装置であって、前記半導体チップの内部データバスのデータ幅は、前記半導体チップの外部接続端子のデータ入出力端子のデータ幅よりも広いことを特徴とする半導体集積回路装置。

- 15    9. 請求項1記載の半導体集積回路装置であって、前記半導体チップのインタフェースは、前記DRAMのみの半導体チップのインタフェース仕様に規格化されていることを特徴とする半導体集積回路装置。

10. 請求項1記載の半導体集積回路装置であって、前記DRAMはシンクロナスDRAM、EDO-DRAMであることを特徴とする半導体集積回路装置。

- 20    11. 少なくともCPUとプログラマブルな不揮発性メモリとが形成されている第1の半導体チップと、

少なくともDRAMとロジック回路とが形成されている1つまたは複数の第2の半導体チップとからなり、

- 25    前記第1の半導体チップと前記1つまたは複数の第2の半導体チップとは互いに信号の入出力が可能に同一のパッケージの内部に収納され、かつ前記第1の半導体チップの複数の接続端子と前記1つまたは複数の第2の半導体チップの複数の接続端子とにそれぞれ接続されている複数の外部接続端子を有し、

前記第2の半導体チップのロジック回路は、少なくとも、

前記DRAMに対する書き込み動作／読み出し動作のアクセス動作を制御するとともに、前記DRAMのセルフリフレッシュ動作時はリフレッシュ動作／アク

セス動作を実行可能制御手段と、

前記D R A Mに格納されているデータを処理するとともに、前記D R A Mに格納されているデータの処理時は前記制御手段に対して書き込み要求／読み出し要求を出力する処理手段とを有することを特徴とする半導体集積回路装置。

- 5    1 2. 請求項 1 1 記載の半導体集積回路装置であって、前記制御手段は、通常のアクセス動作時は前記D R A Mをメモリ機能として実行し、かつセルフリフレッシュ動作時は前記処理手段の要求に従ってリフレッシュ動作／アクセス動作を実行することを特徴とする半導体集積回路装置。

- 10    1 3. 請求項 1 2 記載の半導体集積回路装置であって、前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の書き込み要求に従ってアクセス動作を繰り返すとともに、書き込み動作と書き込み動作との間の期間にリフレッシュ動作を実行することを特徴とする半導体集積回路装置。

- 15    1 4. 請求項 1 2 記載の半導体集積回路装置であって、前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の読み出し要求に従ってアクセス動作を繰り返すとともに、読み出し動作と読み出し動作との間の期間にリフレッシュ動作を実行することを特徴とする半導体集積回路装置。

- 20    1 5. 請求項 1 2 記載の半導体集積回路装置であって、前記セルフリフレッシュ動作時のリフレッシュ動作／アクセス動作の実行は、前記処理手段の書き込み要求と読み出し要求とに従ってアクセス動作を繰り返すとともに、書き込み動作と読み出し動作との間の期間にリフレッシュ動作を実行することを特徴とする半導体集積回路装置。

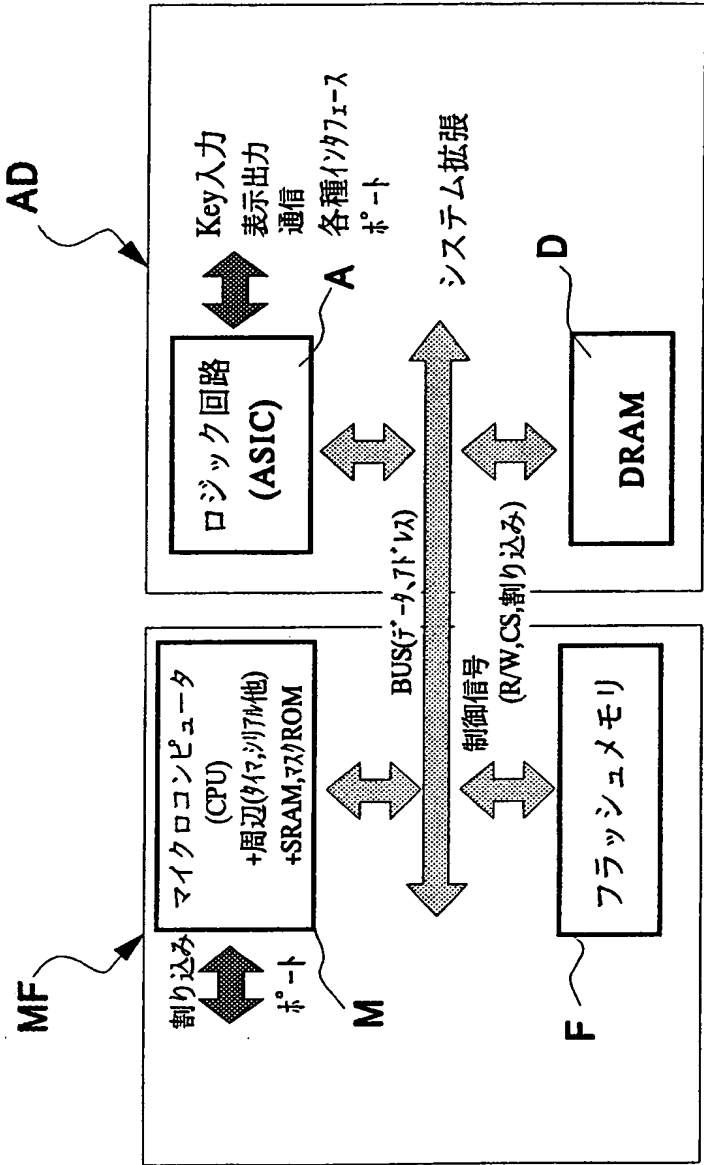
- 25    1 6. 請求項 1 1 記載の半導体集積回路装置であって、前記制御手段は、外部から入力されるアドレスストロブ信号に基づいて、前記D R A Mに対する通常の書き込み動作／読み出し動作を実行するアクセス期間と、前記処理手段に対して出力したセルフリフレッシュ許可信号に対する応答の書き込み要求信号／読み出し要求信号を入力としてリフレッシュ動作／アクセス動作を実行するセルフリフレッシュ期間とを設定することを特徴とする半導体集積回路装置。

- 1 7. 請求項 1 6 記載の半導体集積回路装置であって、前記セルフリフレッシュ期間は、前記処理手段からの書き込み要求信号を入力として書き込み動作を実行

する書き込みアクセス期間と、前記処理手段からの読み出し要求信号を入力として読み出し動作を実行する読み出しアクセス期間と、前記書き込みアクセス期間および前記読み出しアクセス期間を除く期間でリフレッシュ動作を実行するリフレッシュ期間とからなることを特徴とする半導体集積回路装置。

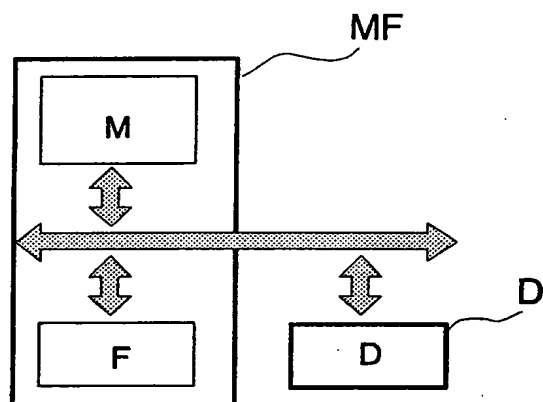
- 5 18. 請求項11記載の半導体集積回路装置であって、前記半導体チップの内部データバスのデータ幅は、前記半導体チップの外部接続端子のデータ入出力端子のデータ幅よりも広いことを特徴とする半導体集積回路装置。
19. 請求項11記載の半導体集積回路装置であって、前記半導体チップのインタフェースは、前記DRAMのみの半導体チップのインタフェース仕様に規格化
- 10 されていることを特徴とする半導体集積回路装置。
20. 請求項11記載の半導体集積回路装置であって、前記DRAMはシンクロナスDRAM、EDO-DRAMであることを特徴とする半導体集積回路装置。

図 1

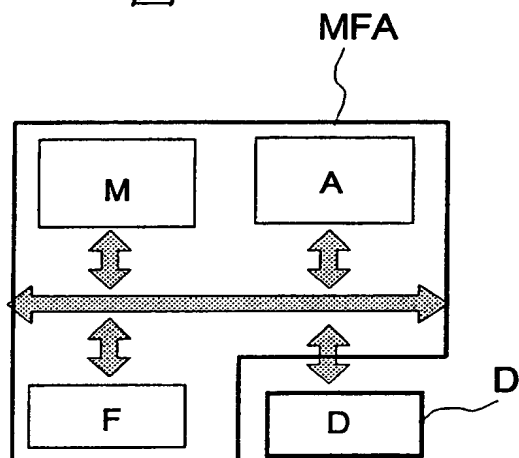




2



3



4

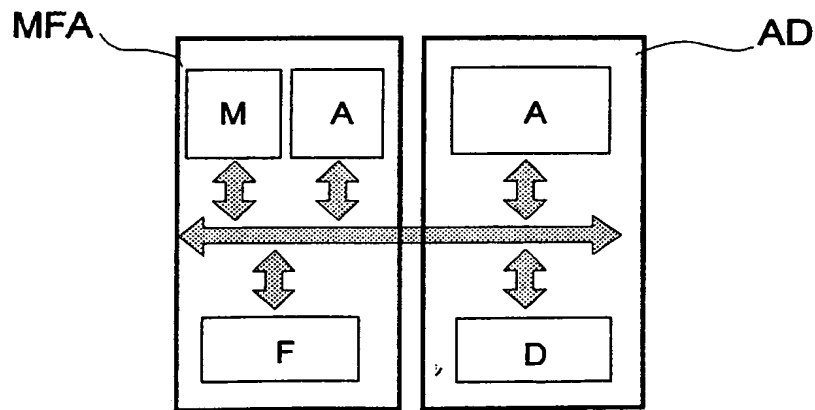


図 5

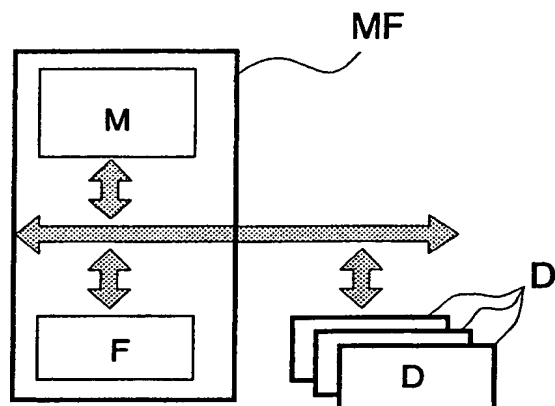
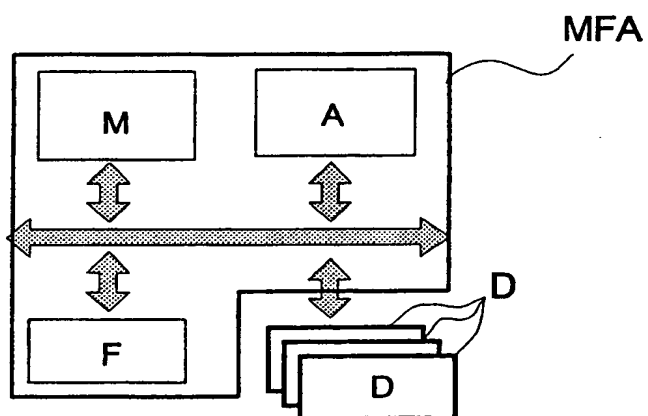
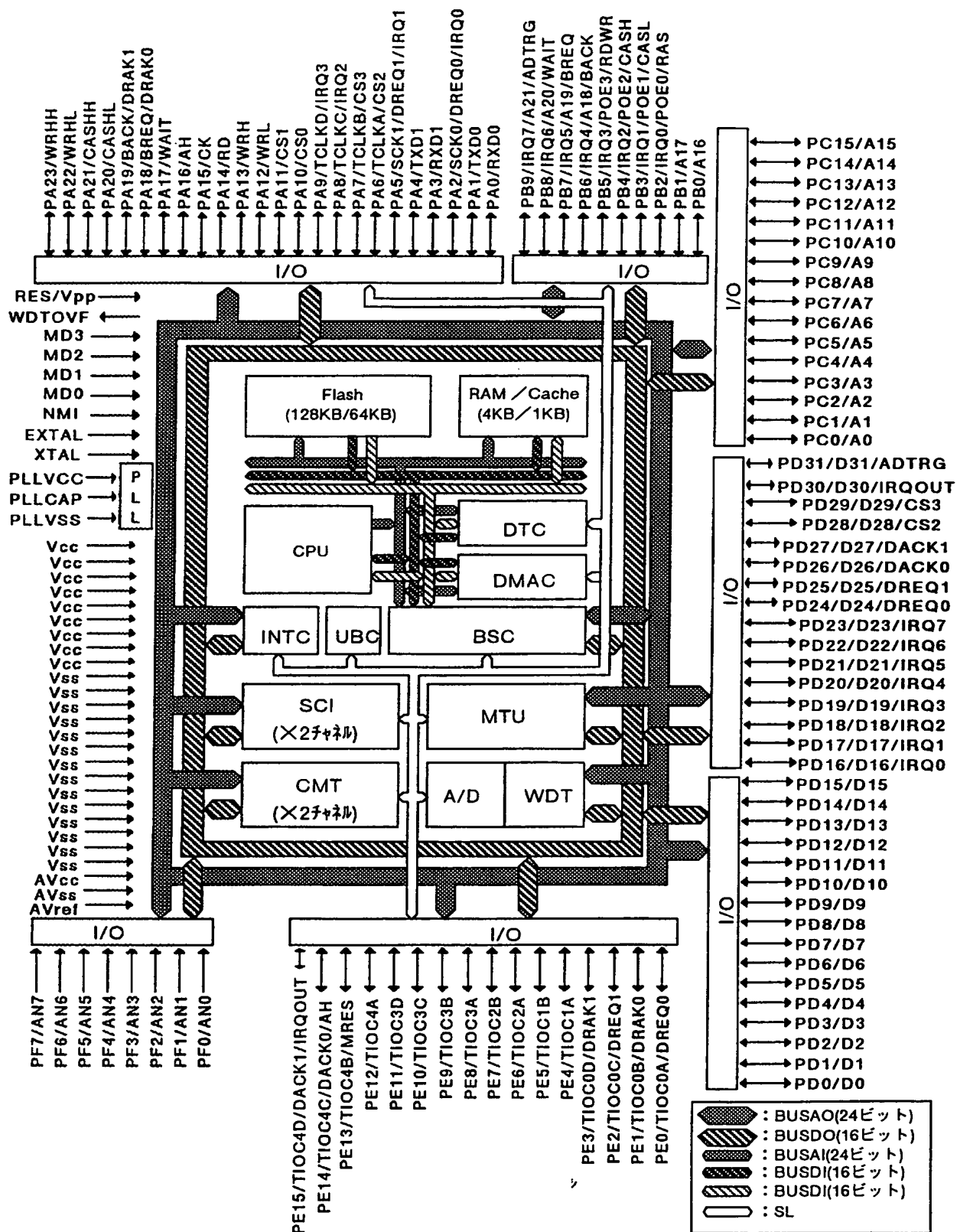


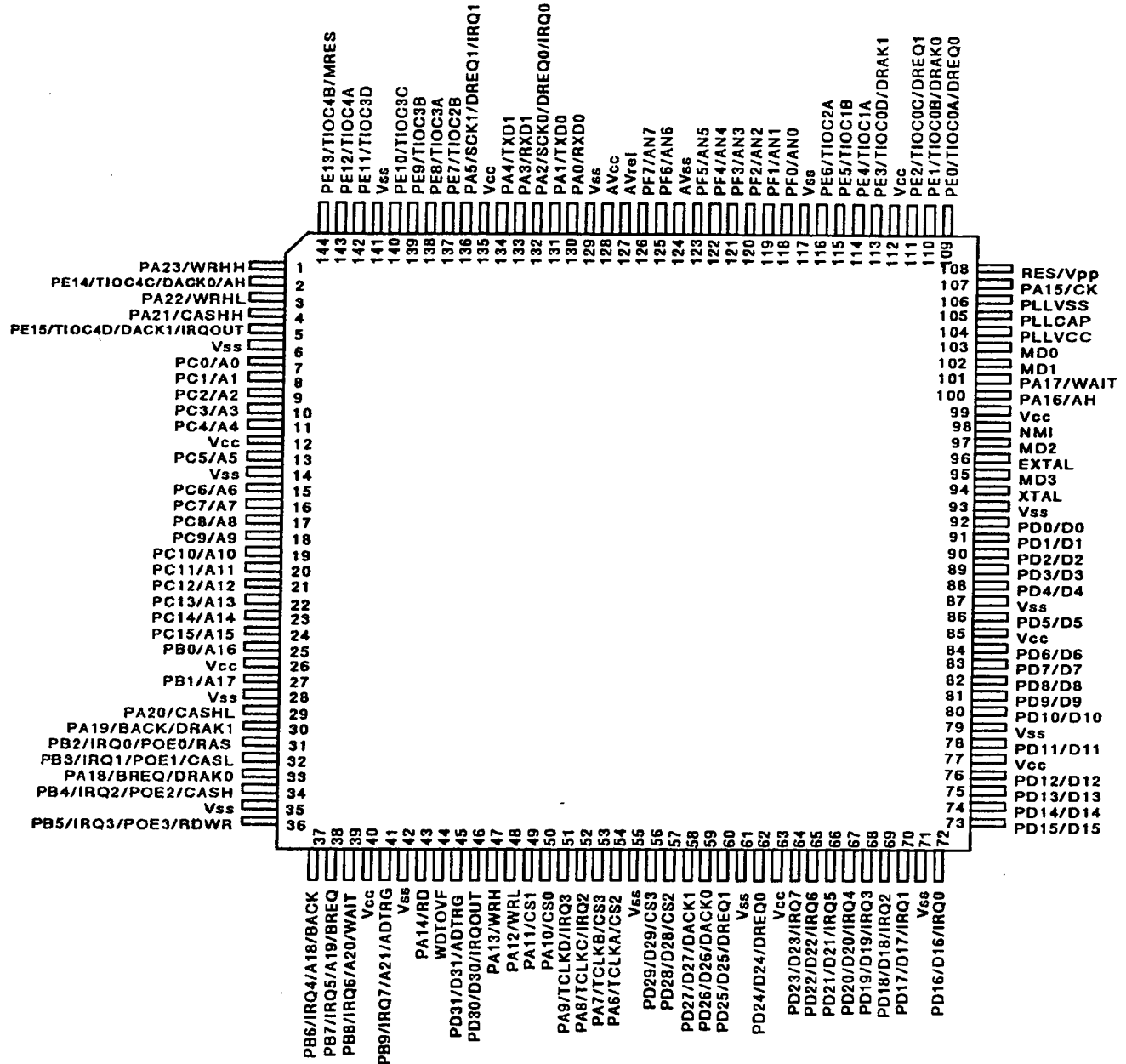
図 6

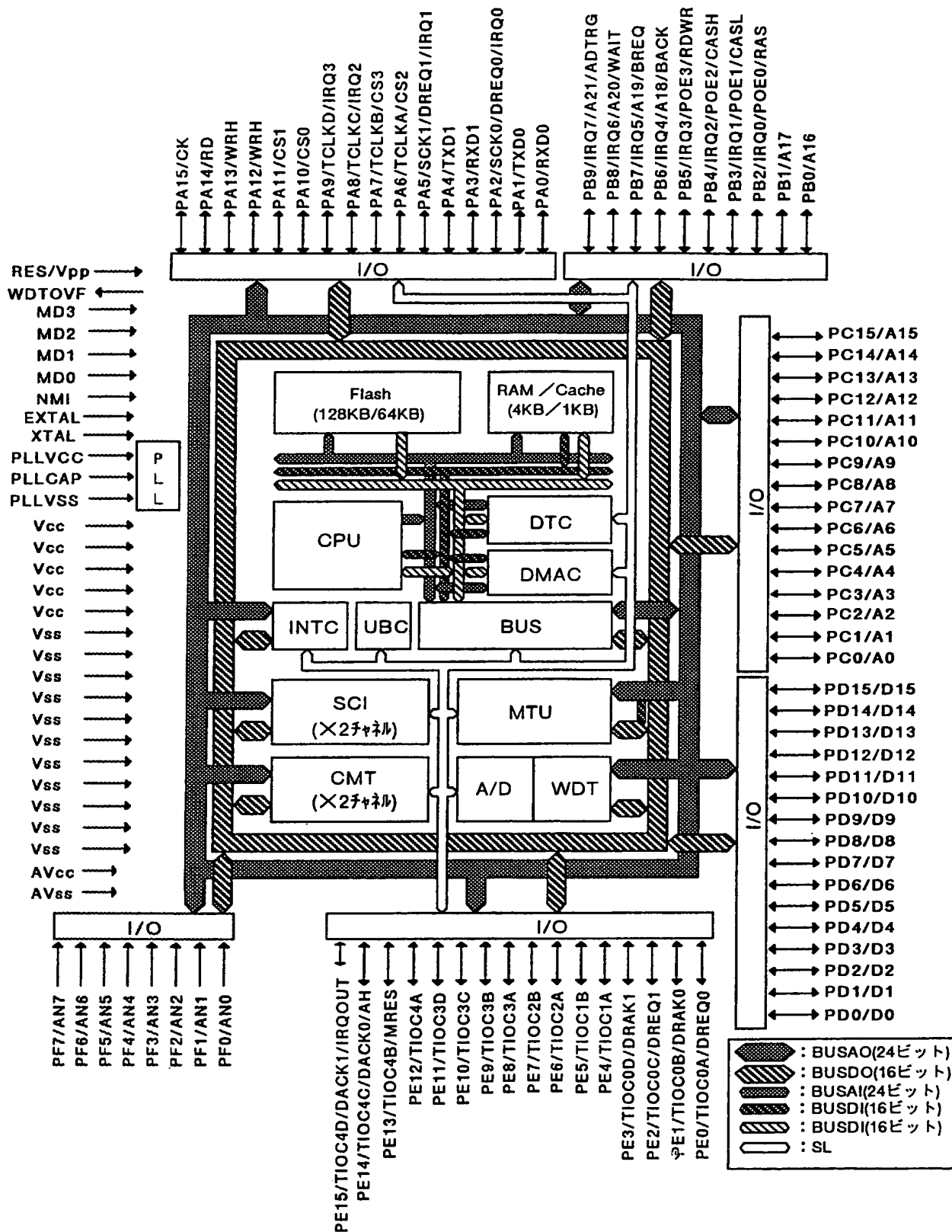




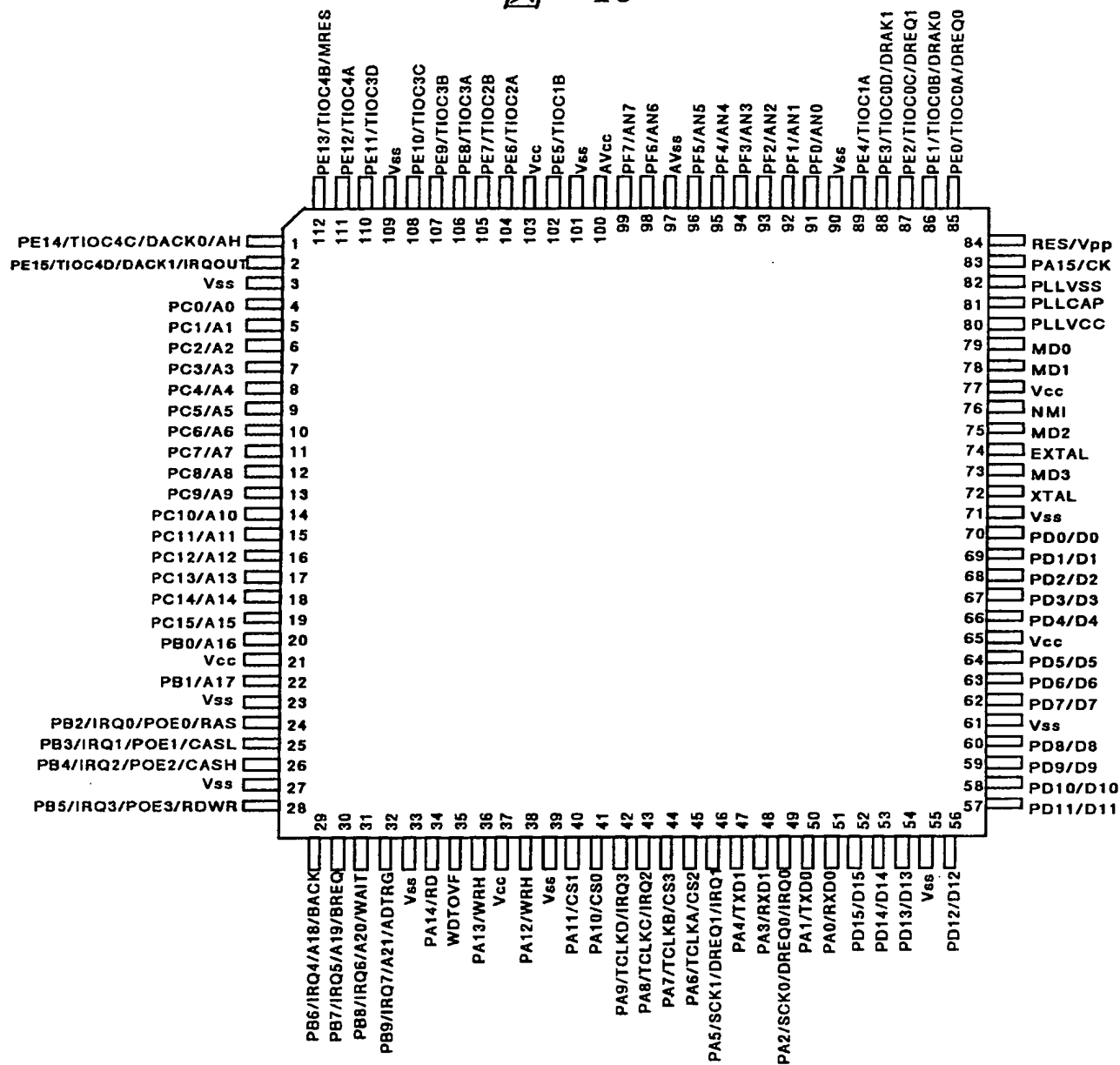


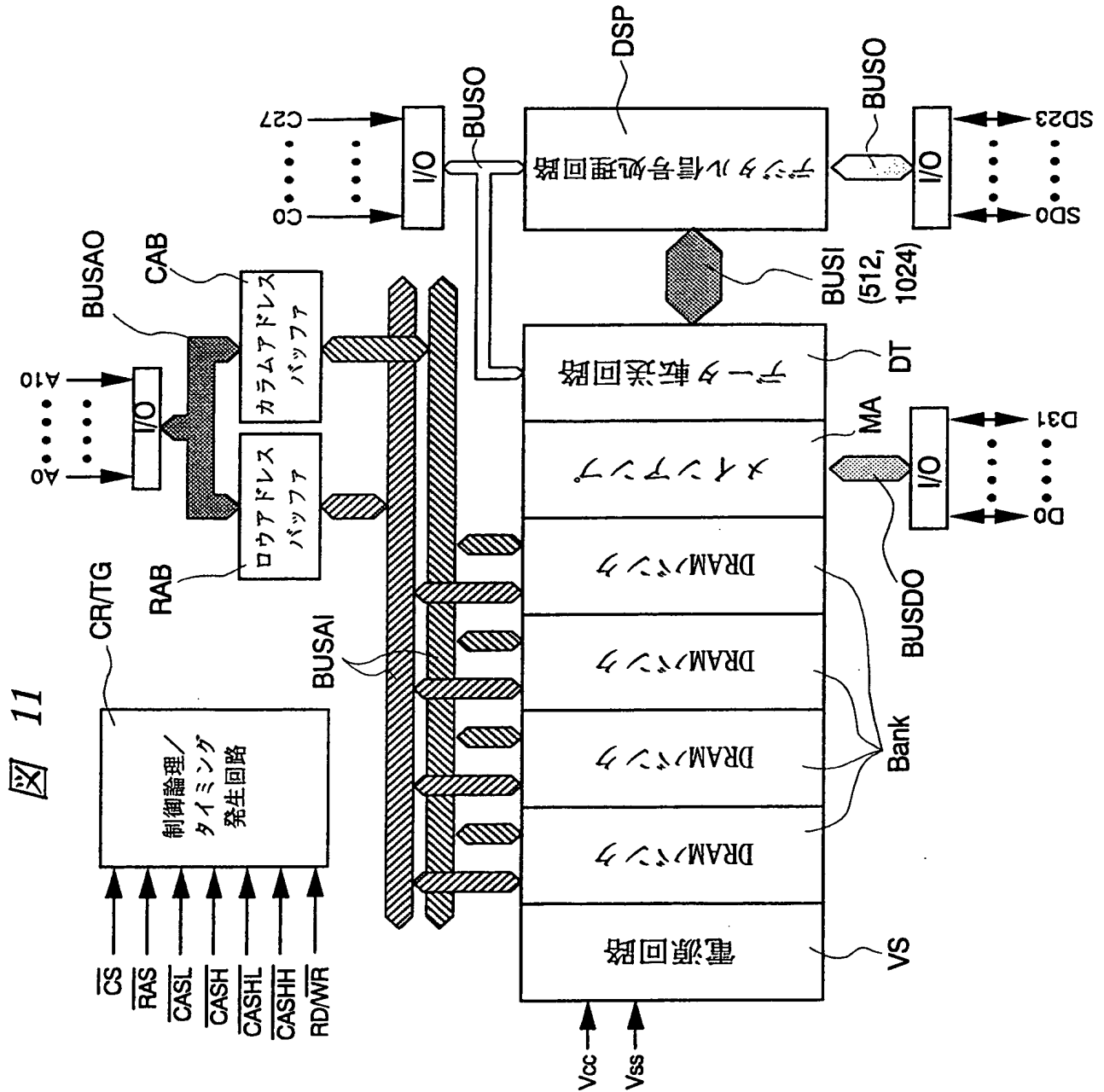
8





**10**





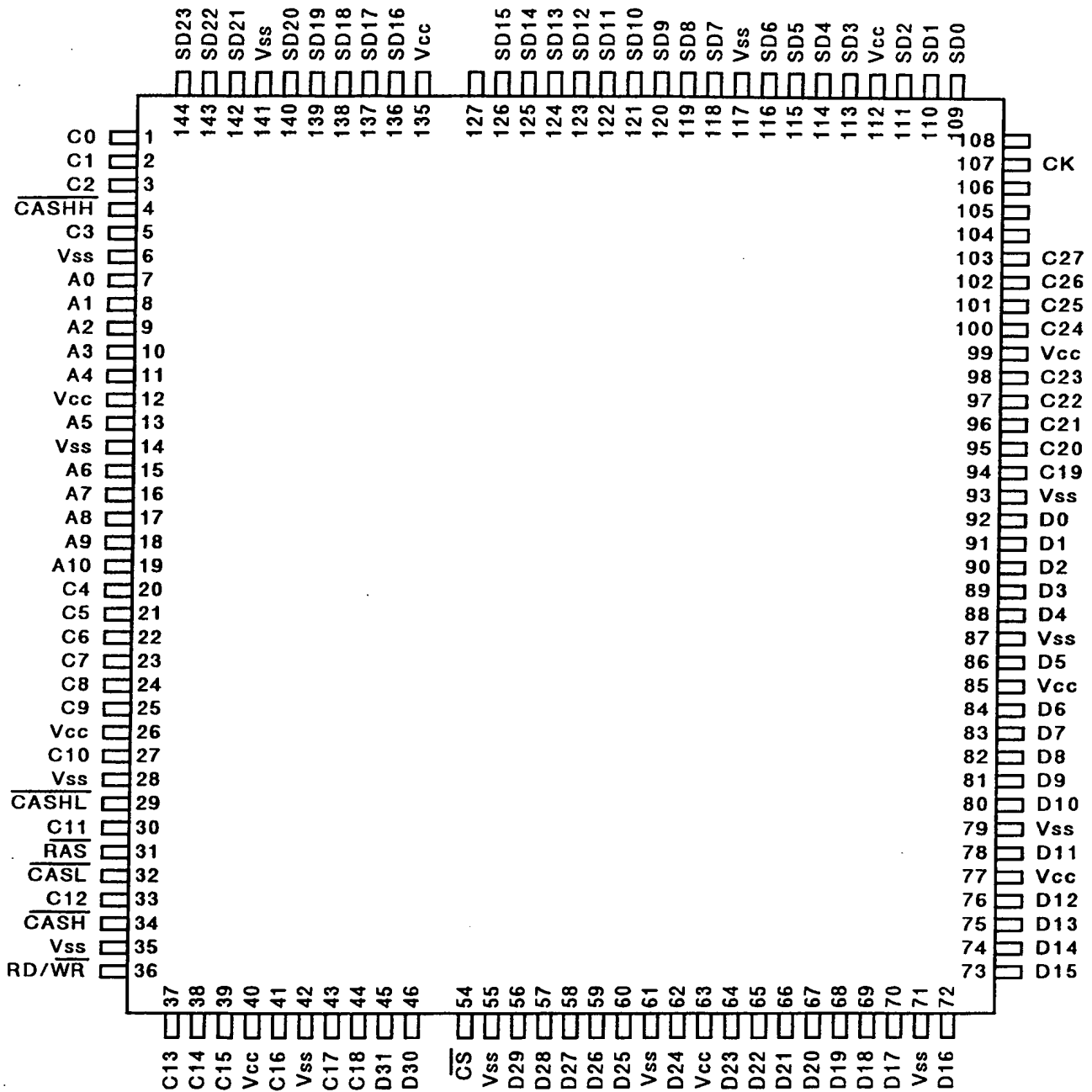
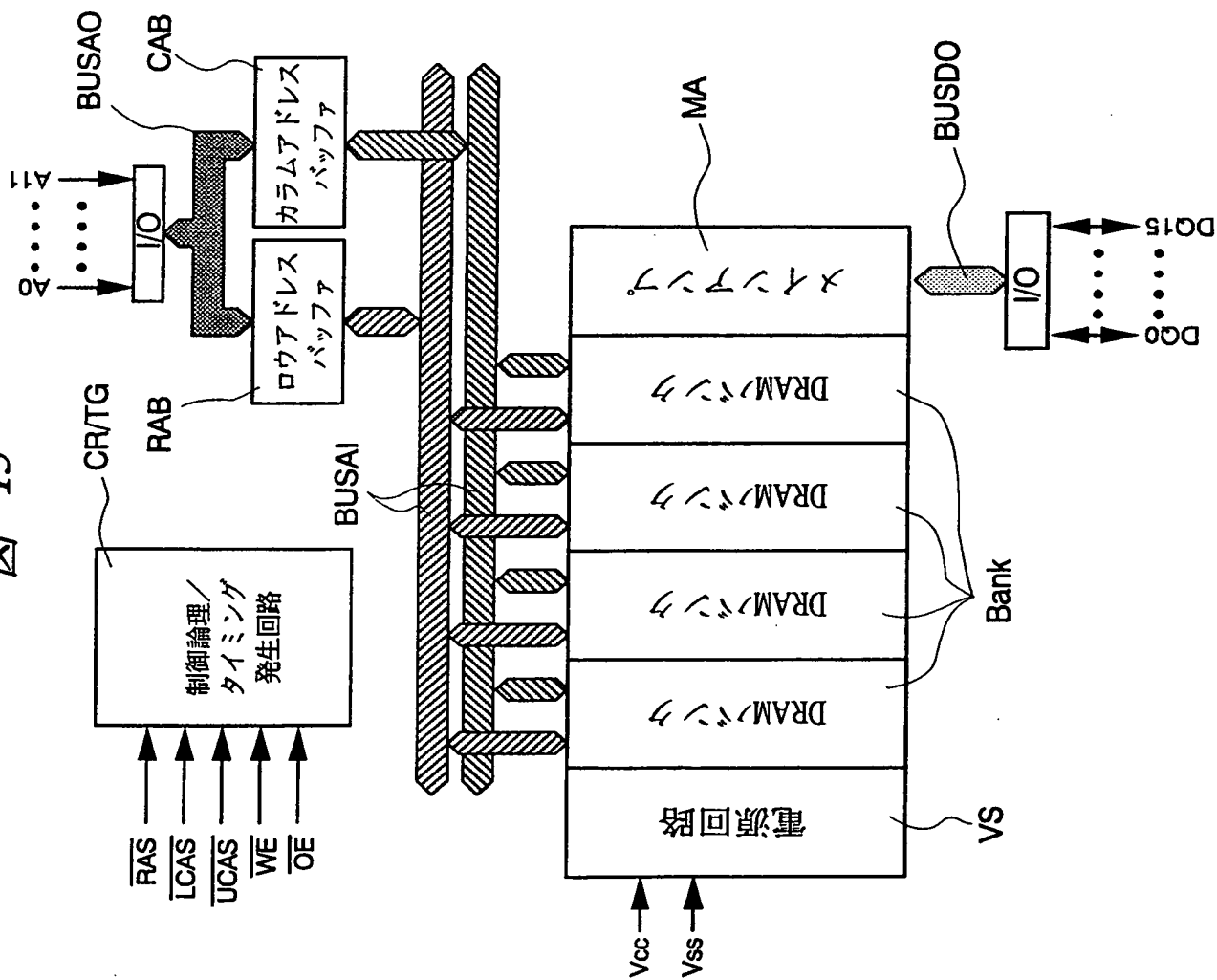

 12




図 13



 14

1		Vss
2		Vss
3		Vcc
4		Vss
5		Vss
6		A3
7		A4
8		A2
9		A5
10		A1
11		A6
12		A0
13		A7
14		A8
15		A9
16		A10
17		A11
18		/RAS
19		/OE
20		/WE
21		/UCAS
22		/LCAS
23		DQ8
24		DQ7
25		DQ9
26		DQ6
27		DQ10
28		DQ5
29		DQ11
30		DQ4
31		Vcc
32		Vss
33		Vcc
34		Vss
35		DQ12
36		DQ3
37		DQ13
38		DQ2
39		DQ14
40		DQ1
41		DQ15
42		DQ0
43		Vss
44		Vcc
45		Vss
46		Vcc
47		Vss
48		Vcc

図 15

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	Vcc端子は、すべてのシステムの電源に接続してください。 開放端子があると動作しません。
	Vss	入力	グラウンド	グラウンドに接続します。 Vss端子は、すべてのシステムのグラウンドに接続してください。 開放端子があると動作しません。
	Vpp	入力	プログラム電源	通常動作時は、電源(Vcc)に接続します。 PROMモード時は、12.5Vを印加します。
クロック	PLLVcc	入力	PLL用電源	内蔵PLL発振器用の電源です。
	PLLVss	入力	PLL用グラウンド	内蔵PLL発振器用のグラウンドです。
	PLLCAP	入力	PLL用容量	内蔵PLL発振器用の外付け容量端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL端子は外部クロック を入力することもできます。
	XTAL	入力	クリスタル	水晶発振子を接続します。
システム制御	CK	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
	RES	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット 状態になります。
	MRES	入力	マニュアルリセット	この端子にローレベルを印加すると、マニュアルリセット 状態になります。
	WDT0VF	出力	ウォッチドッグタイマ オーバーフロー	WDTからのオーバーフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベル にします。
	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ信号を 出力したデバイスは、BACK信号を受けて、バス権を獲得した ことを知ることができます。
動作モード制御	MD0~MD3	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないでください。

## 図 16

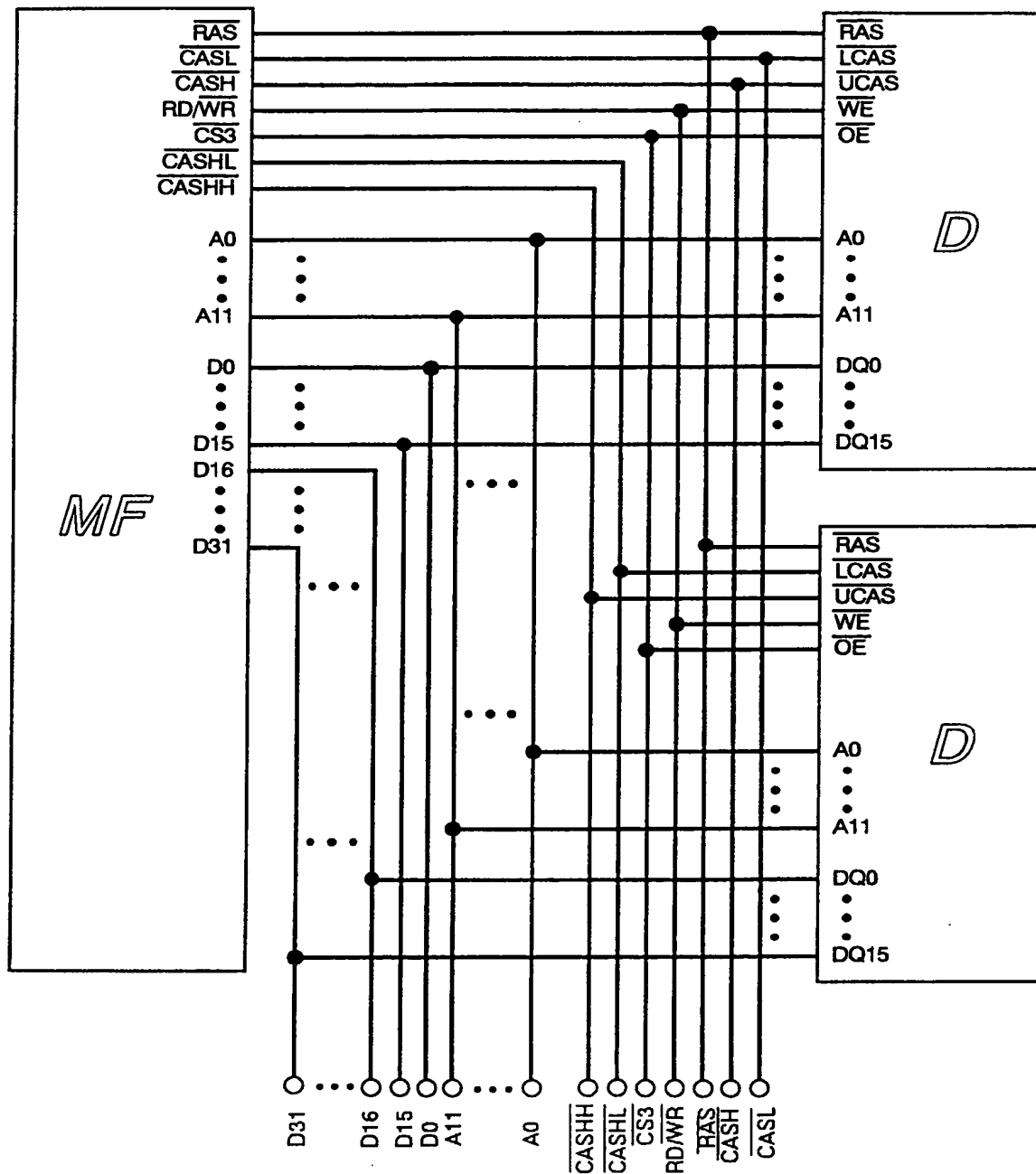
分類	記号	入出力	名称	機能
割り込み	NMI	入力	ノンマスクابل 割り込み	マスク不可能な割り込み要求端子です。 立ち上がりエッジ、立ち下がりエッジのどちらで 受け付けるかを選択できます。
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。
	$\overline{\text{IRQOUT}}$	出力	割り込み要求 出力	割り込み要因が発生したことを示します。 バスリリース中にも割り込み発生を知ることができます。
アドレスバス	A0~A21	出力	アドレスバス	アドレスを出力します。
データバス	D0~D15 (112ピン)	出力	データバス	16ビット(112ピン版)または、32ビット(144ピン版)の 双方向データバスです。
	D0~D31 (144ピン)			
バス制御	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	出力	チップセレクト 0~3	外部メモリまたはデバイスのためのチップセレクト 信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読みだすことを示します。
	$\overline{\text{WRH}}$	出力	上位側 書き込み	外部のデータの上位8ビット(ビット15~8)に 書き込みすることを示します。
	$\overline{\text{WRL}}$	出力	下位側 書き込み	外部のデータの低位8ビット(ビット7~0)に 書き込みすることを示します。
	$\overline{\text{WAIT}}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルに ウェイトサイクルを挿入させる入力です。
	$\overline{\text{RAS}}$	出力	ロウアドレス ストローブ	DRAMのロウアドレスストローブのタイミング 信号です。
	$\overline{\text{CASH}}$	出力	上位側カラム アドレス ストローブ	DRAMのカラムアドレスストローブのタイミング 信号です。 データの上位の8ビットをアクセスするとき出力 されます。
	$\overline{\text{CASL}}$	出力	下位側カラム アドレス ストローブ	DRAMのカラムアドレスストローブのタイミング 信号です。
	RDWR	出力	DRAM読み出し /書き込み	DRAMの書き込みストローブ信号です。
	$\overline{\text{AH}}$	出力	アドレス ホールド	アドレス/データのマルチプレクスバスを使用する デバイスに対するアドレスホールドタイミング信号です。
	$\overline{\text{WRHH}}$ (144ピン)	出力	HH側 書き込み	外部のデータのビット31からビット24を書き込み することを示します。
	$\overline{\text{WRHL}}$ (144ピン)	出力	HL側 書き込み	外部のデータのビット23からビット16を書き込み することを示します。
	$\overline{\text{CASHH}}$ (144ピン)	出力	HH側カラム アドレス ストローブ	DRAMのカラムアドレスストローブのタイミング信号です。 データのビット31からビット24をアクセスするとき出力 されます。
	$\overline{\text{CASHL}}$ (144ピン)	出力	HL側カラム アドレス ストローブ	DRAMのカラムアドレスストローブのタイミング信号です。 データのビット23からビット16をアクセスするとき出力 されます。

17

分類	記号	入出力	名称	機能
マルチファンクショナル タイマパルスユニット	TCLKA TCLKB TCLKC TCLKD	入力	MTUタイマ クロック入力	MTUのカウンタへの外部クロック入力端子です。
	TI0C0A TI0C0B TI0C0C TI0C0D	入出力	MTUインプットキャプ チャ/アウトプットコン ペア (チャネル0)	チャネル0の インプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子です。
	TI0C1A TI0C1B	入出力	MTUインプットキャプ チャ/アウトプットコン ペア (チャネル1)	チャネル1の インプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子です。
	TI0C2A TI0C2B	入出力	MTUインプットキャプ チャ/アウトプットコン ペア (チャネル2)	チャネル2の インプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子です。
	TI0C3A TI0C3B TI0C3C TI0C3D	入出力	MTUインプットキャプ チャ/アウトプットコン ペア (チャネル3)	チャネル3の インプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子です。
	TI0C4A TI0C4B TI0C4C TI0C4D	入出力	MTUインプットキャプ チャ/アウトプットコン ペア (チャネル4)	チャネル4の インプットキャプチャ入力/アウトプットコンペア出力/ PWM出力端子です。
	DREQ0 DREQ1	入力	DMA転送要求 (チャネル0,1)	外部からのDMA転送要求の入力端子です。
	DRAK0 DRAK1	出力	DREQ要求受け付け (チャネル0,1)	外部からのDMA転送要求の入力のサンプリング受け付けを 出力します。
	DACK0 DACK1	出力	DMA転送ストローブ (チャネル0,1)	外部からのDMA転送要求の外部I/Oへのストローブを 出力します。
	ダイレクト メモリアクセスコント ローラ (DMAC)			

図 18

分類	記号	入出力	名称	機能
シリアルコミュニケーション インタフェース (SCI)	TxD0 TxD1	出力	送信データ (チャネル0~1)	SCI0~1の送信データ出力端子です。
	RxD0 RxD1	入力	受信データ (チャネル0~1)	SCI0~1の受信データ入力端子です。
	SCK0 SCK1	入出力	シリアルクロック (チャネル0~1)	SCI0~1のクロック入出力端子です。
	AVcc	入力	アナログ電源	アナログ電源でVccの電位を接続します。
	AVss	入力	アナロググランド	アナログ電源でVssの電位を接続します。
	AVref (144ピンのみ)	入力	アナログ リファレンス電源	アナログリファレンス電源入力端子です。
	AN0~AN7	入力	アナログ入力	アナログ信号入力端子です。
	ADTRG	入力	AD変換トリガ入力	AD変換開始の外部トリガ入力です。
	POE0~POE3	入力	ポート アウトプット イネーブル	汎用ポートが出力設定時に、ポート端子のドライブ制御をするための入力端子です。
	PA0~PA15 (112ピン) PA0~PA23 (144ピン)	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
I/Oポート	PB0~PB9	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PC0~PC15	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PD0~PD15 (112ピン) PD0~PD31 (144ピン)	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PE0~PE15	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PF0~PF7	入力	汎用ポート	汎用入力ポート端子です。

 19


20

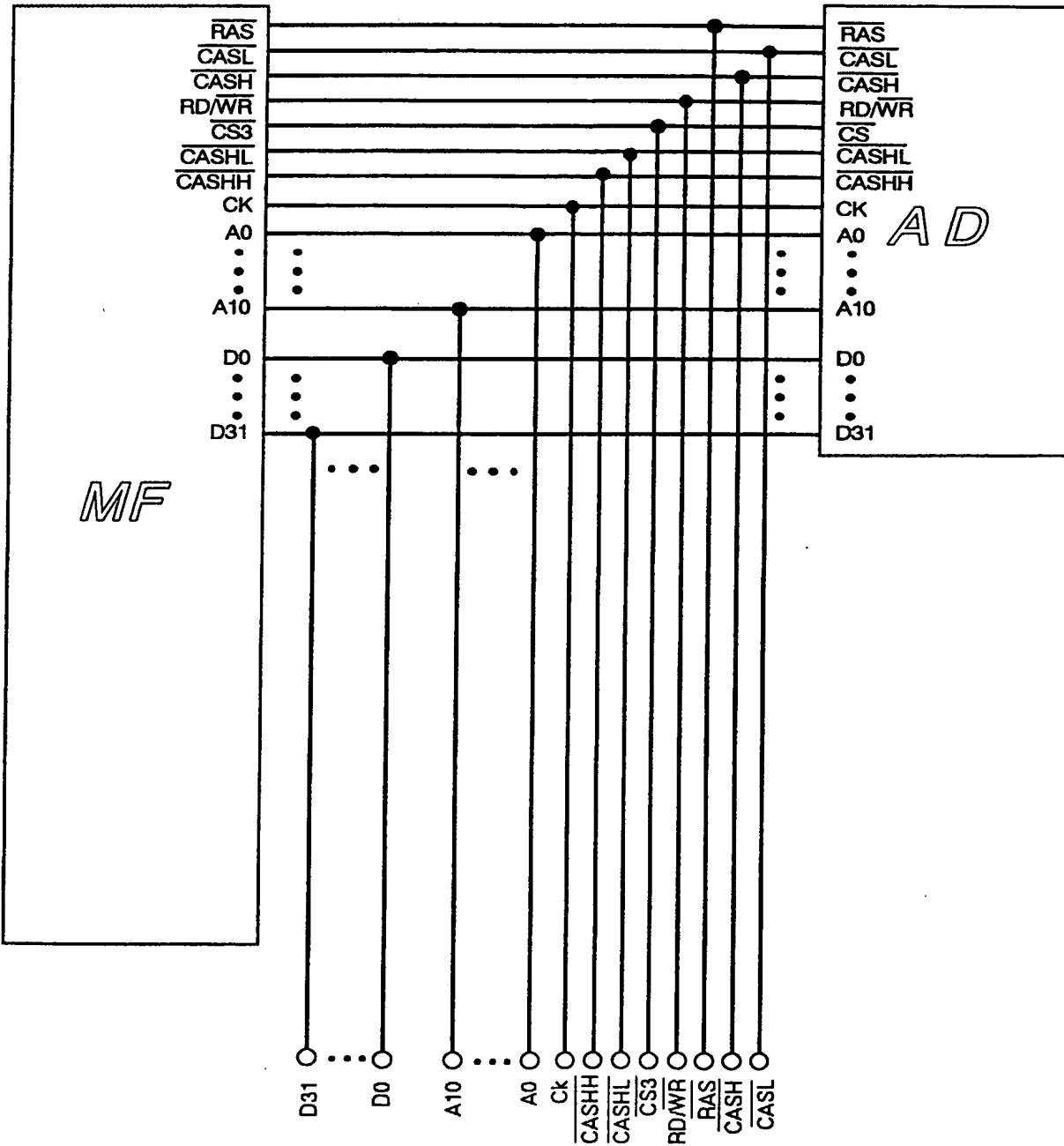




図 21

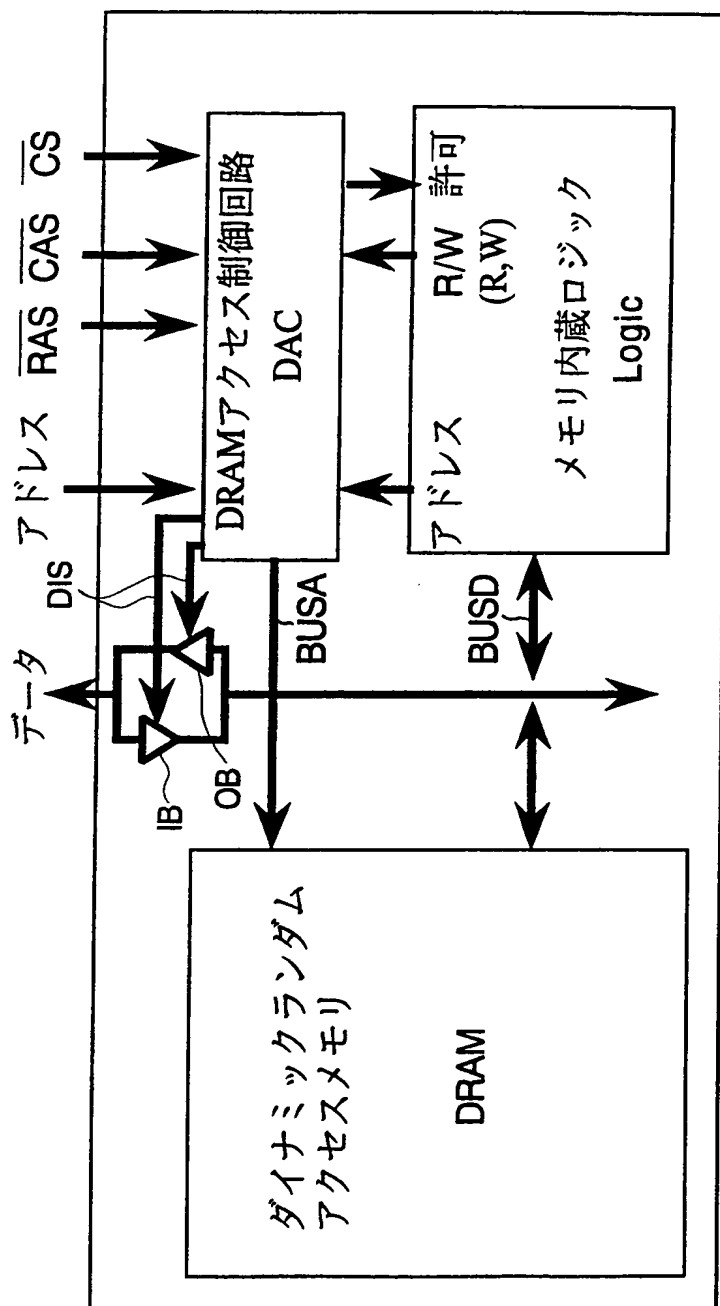


図 22

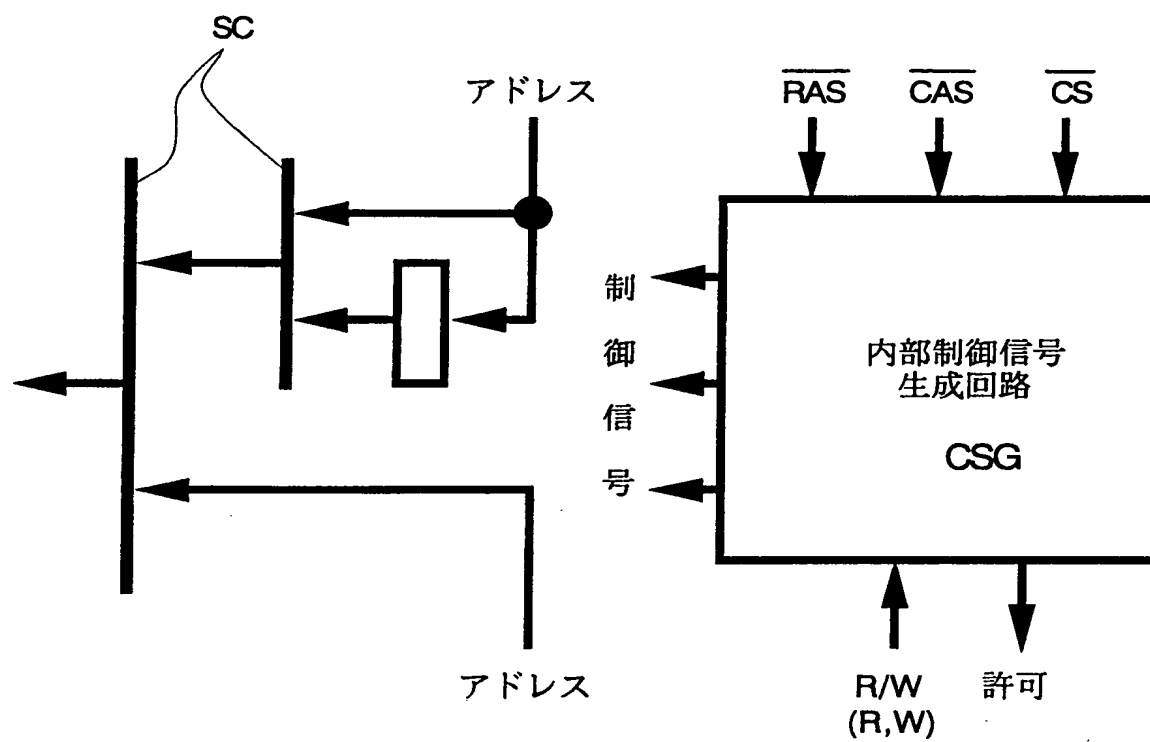


図 23

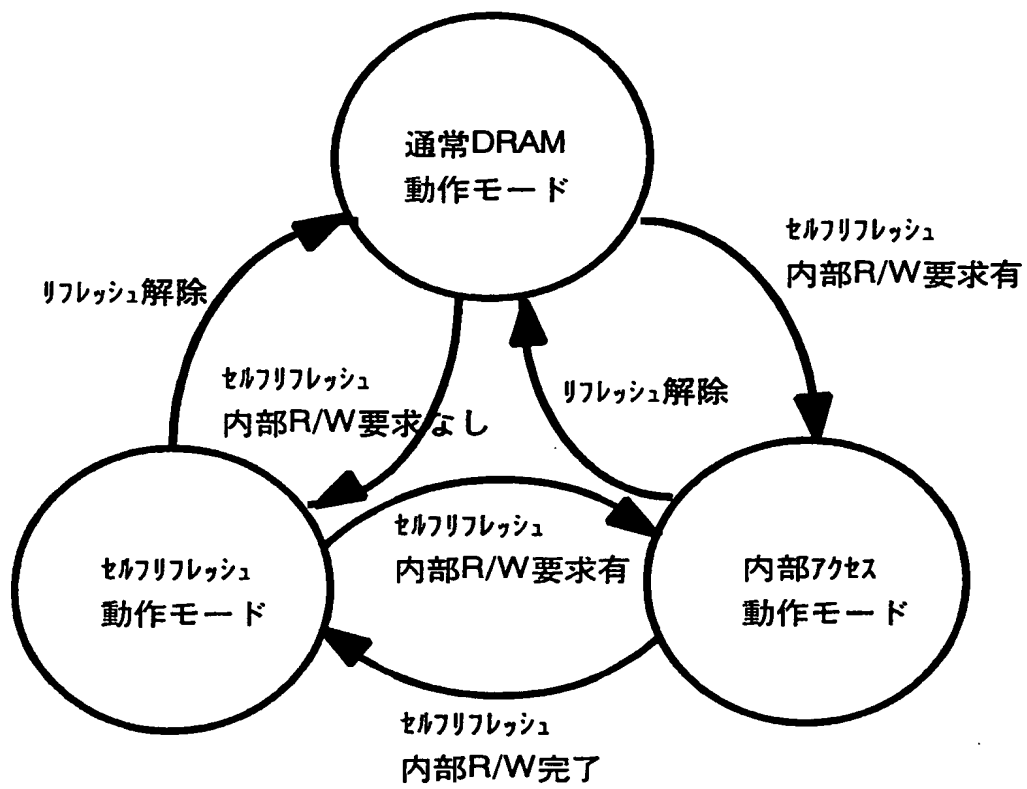


図 24

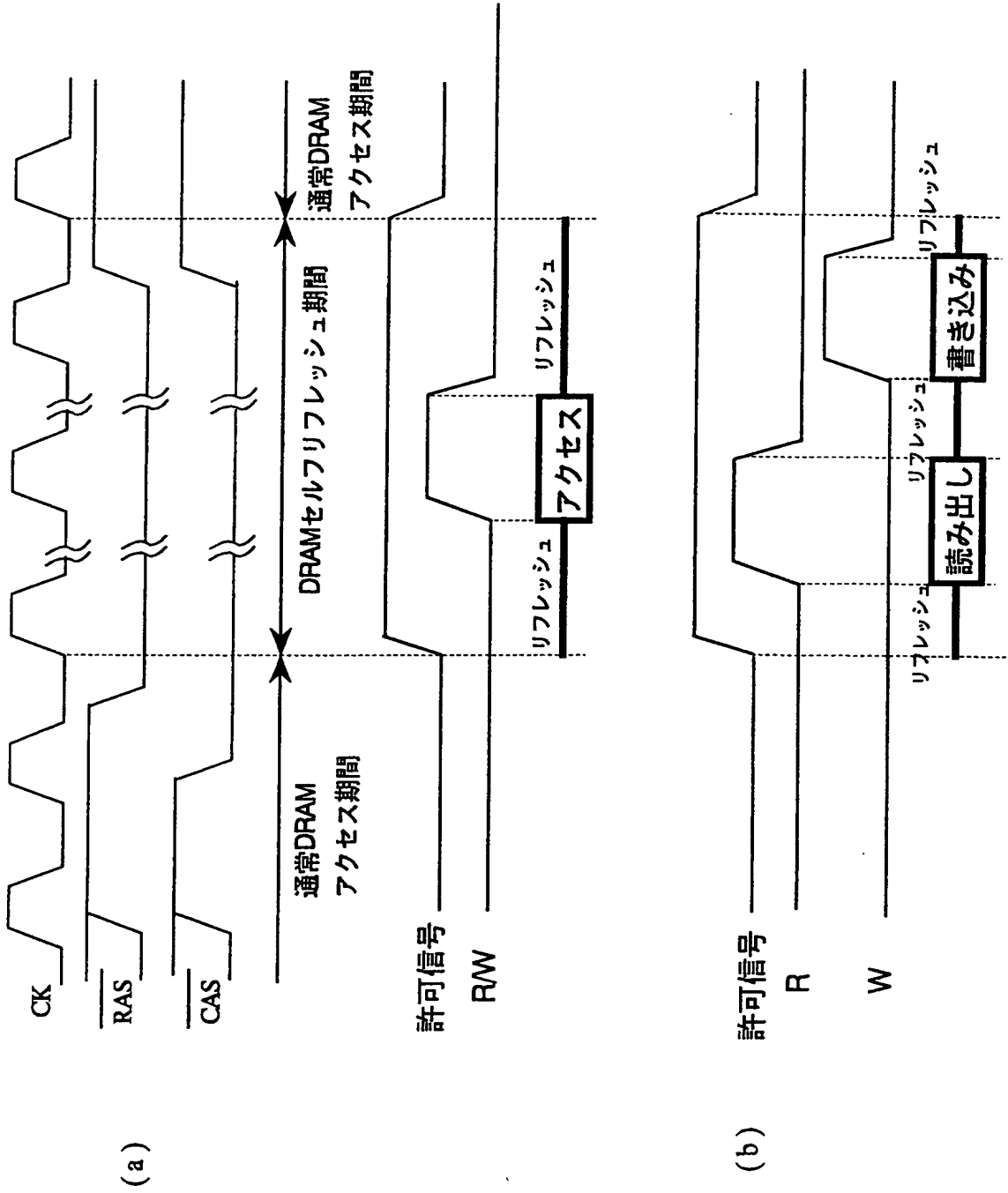


図 25

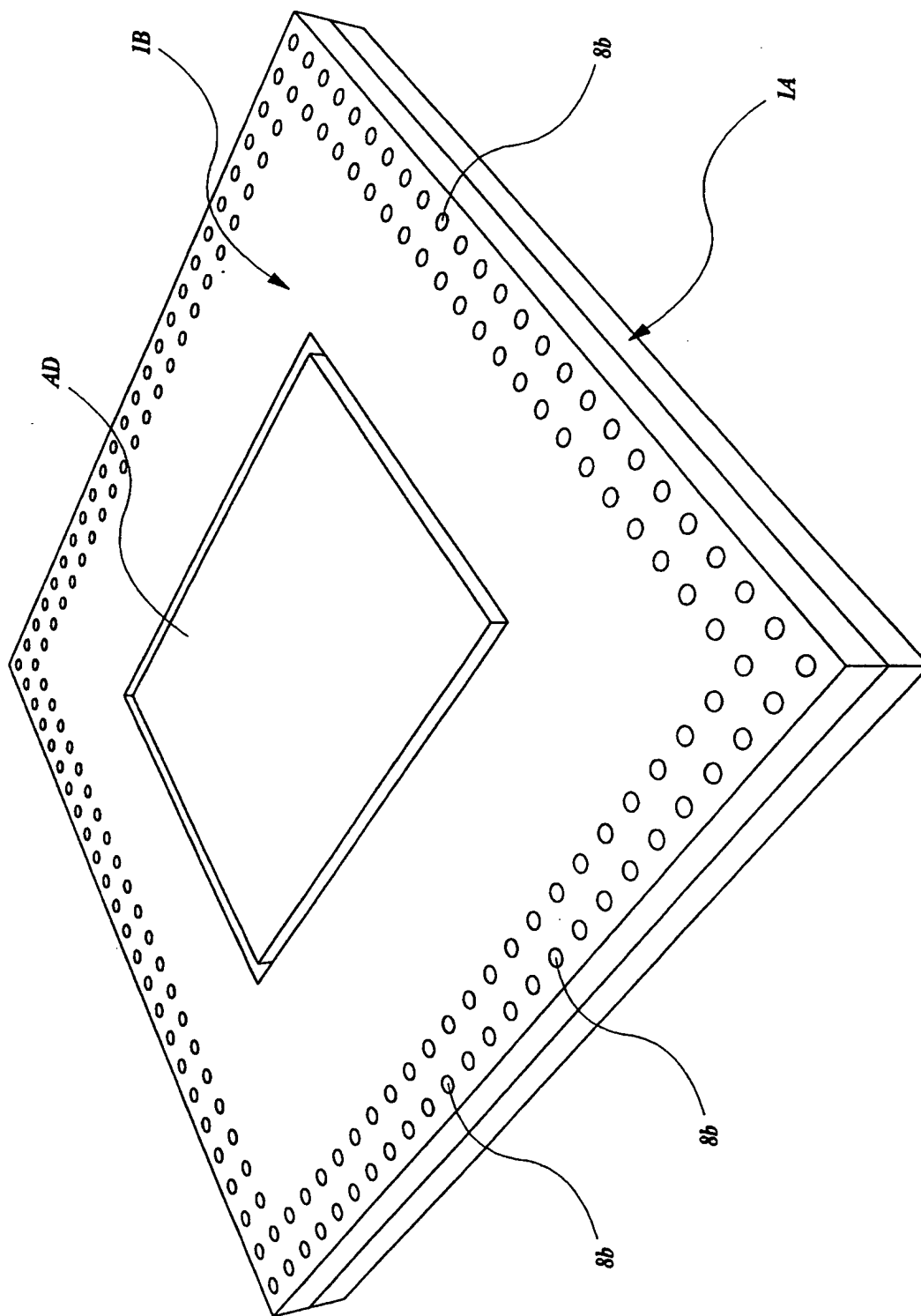
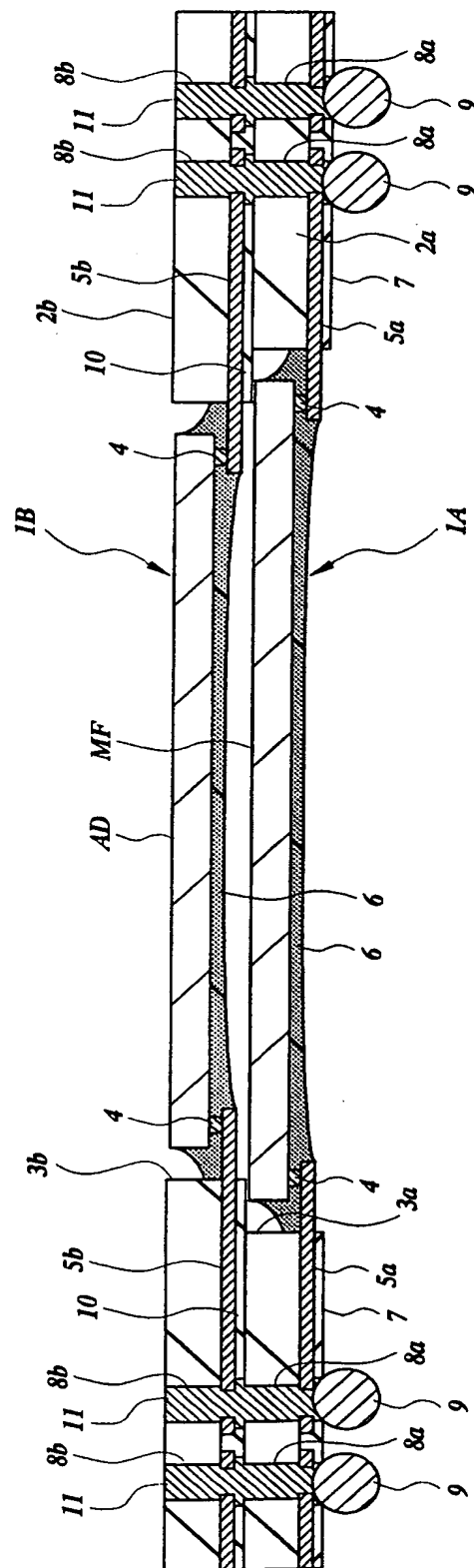
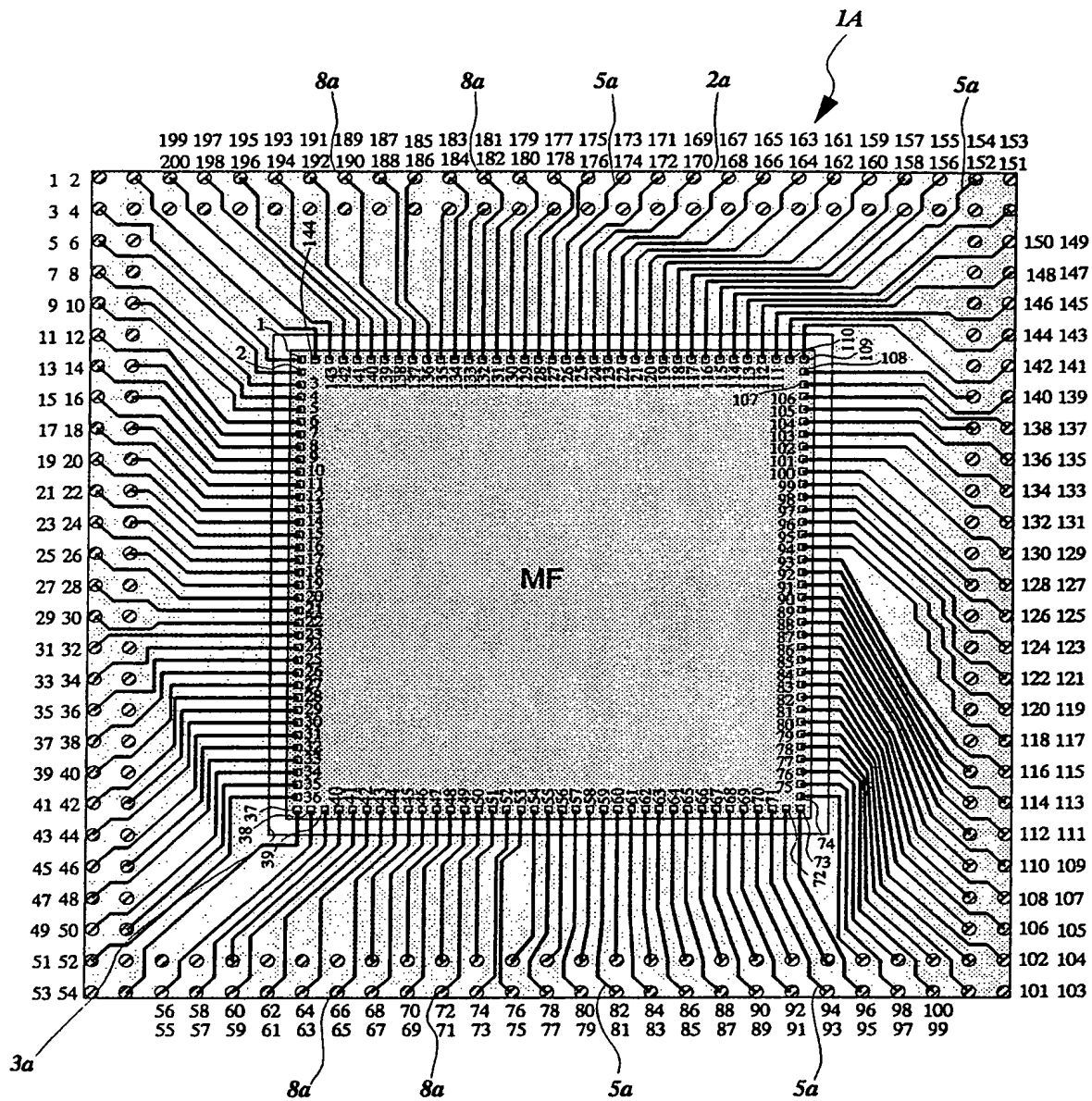


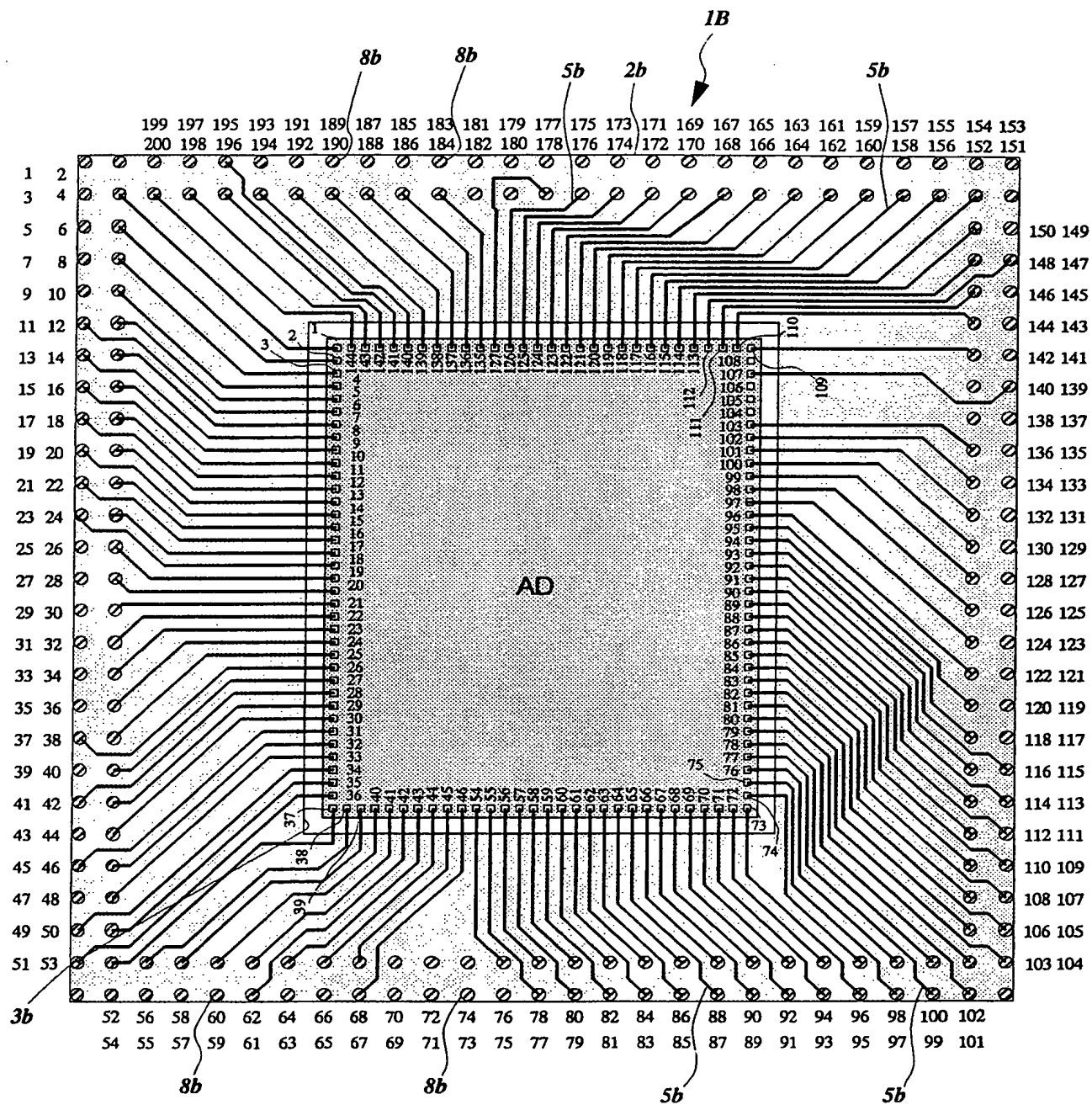
図 26



27



28





29

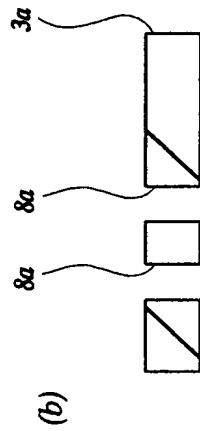
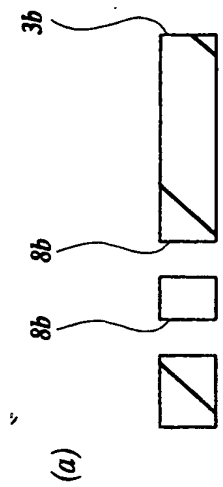
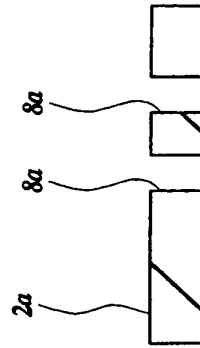
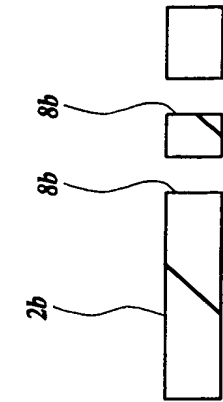




図 31

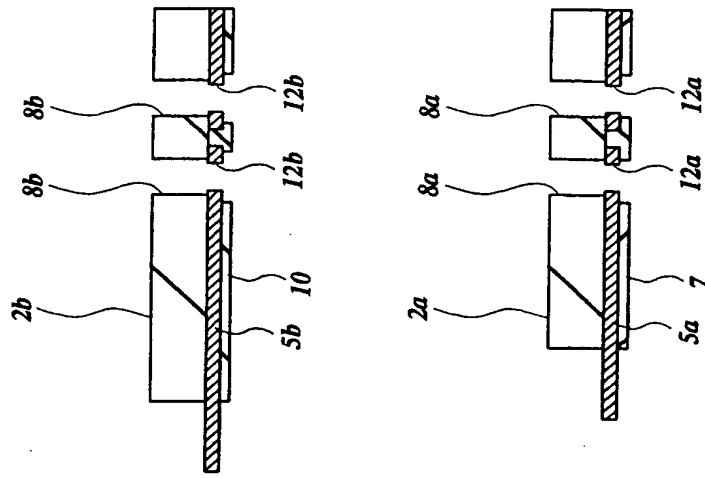
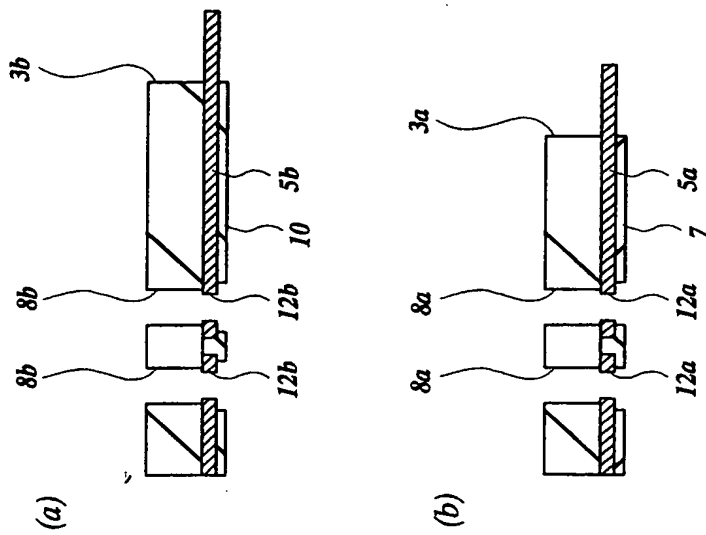
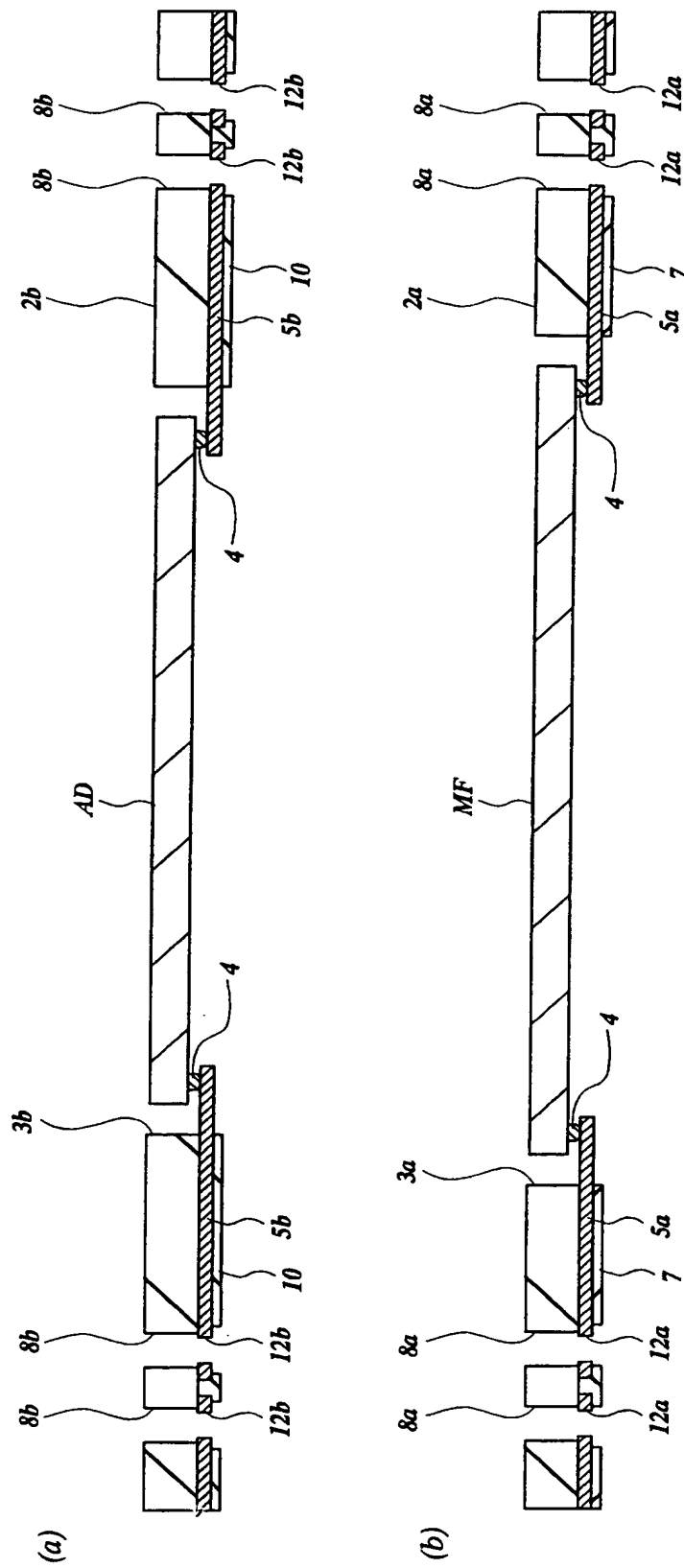


図 32



33

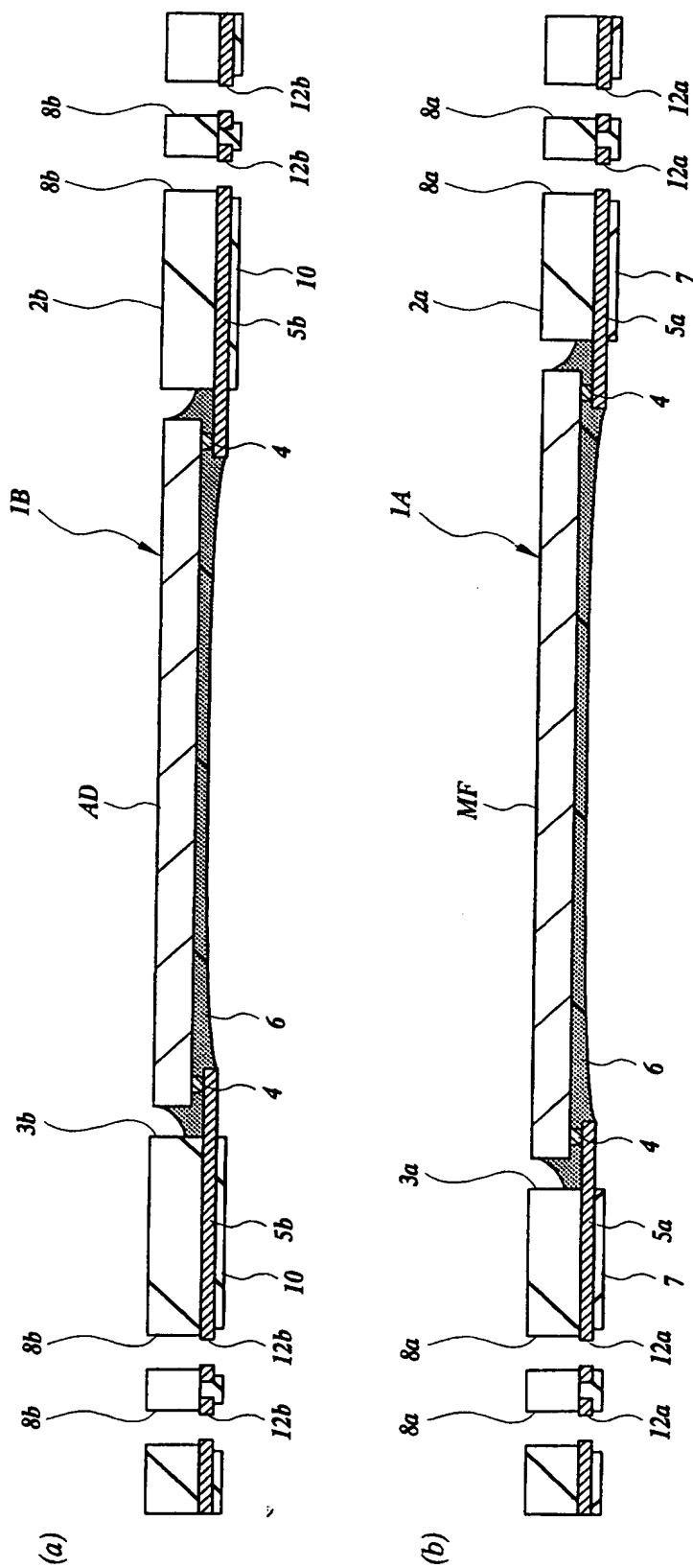


図 34

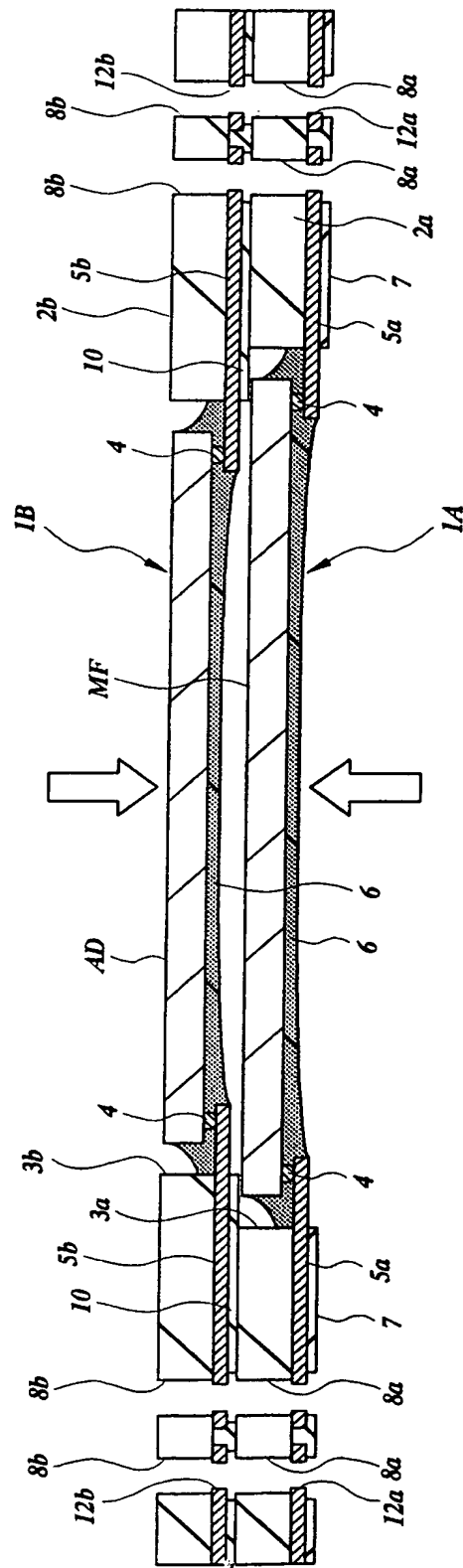


図 35

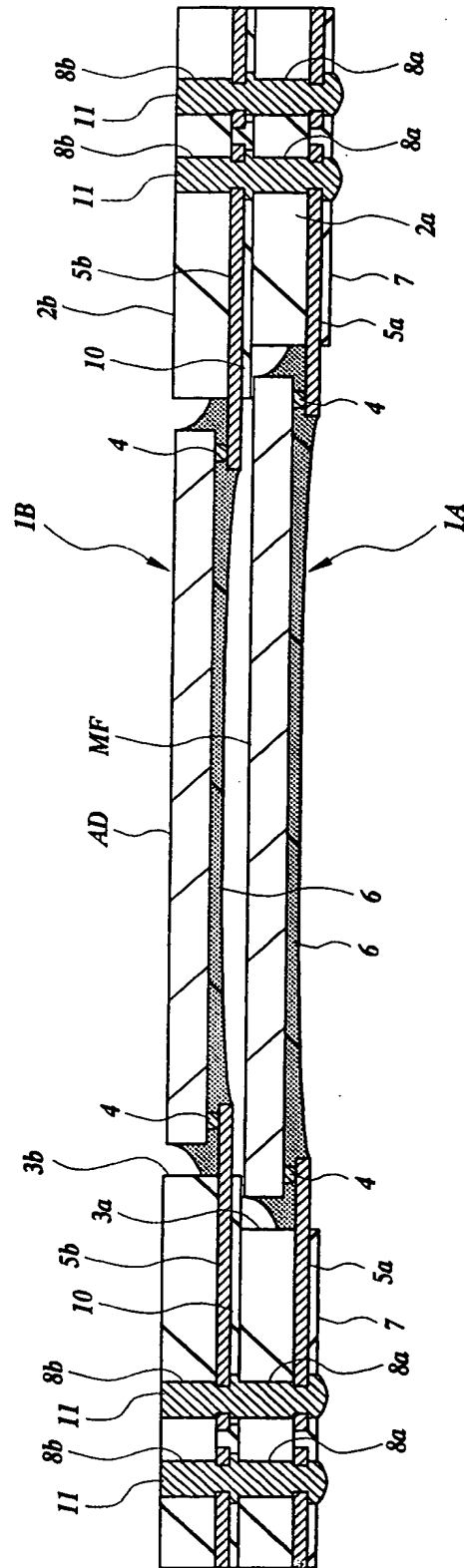


図 36

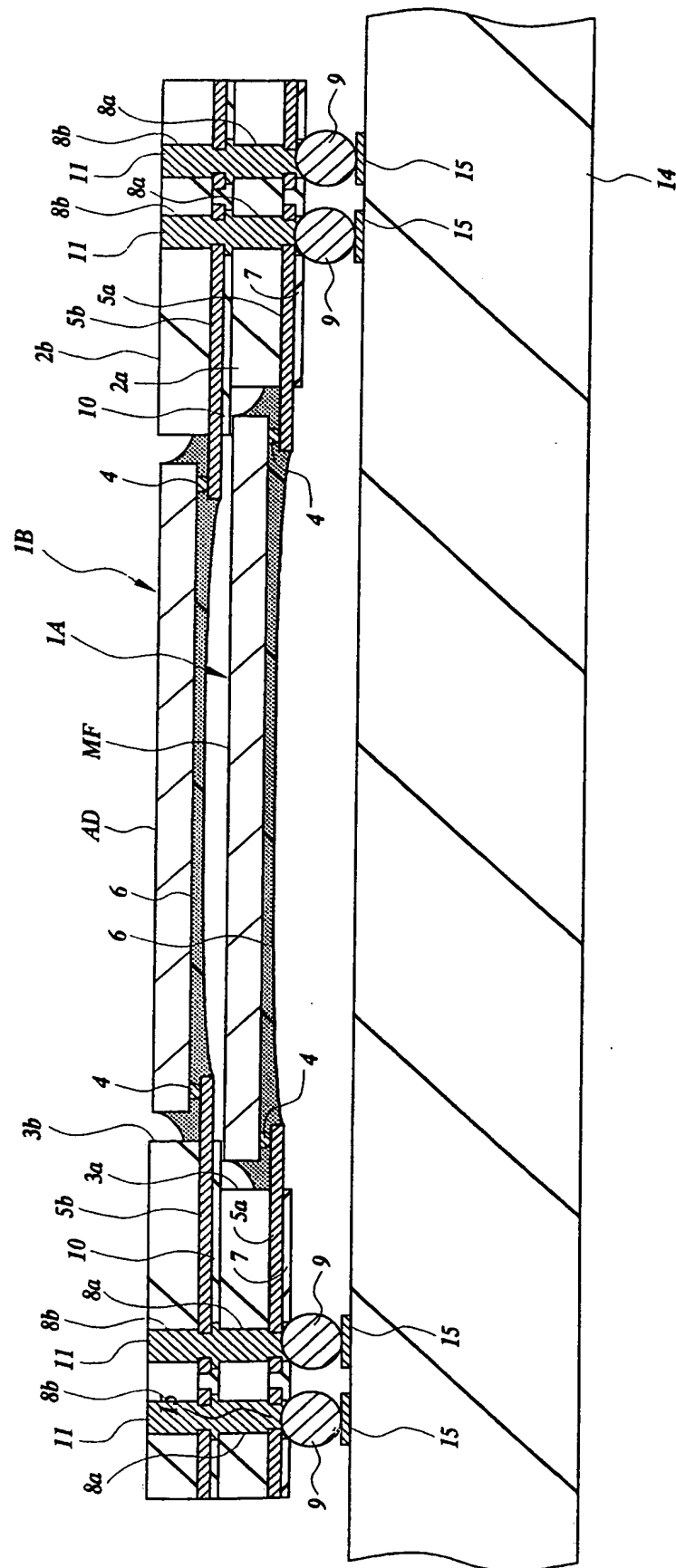




図 37

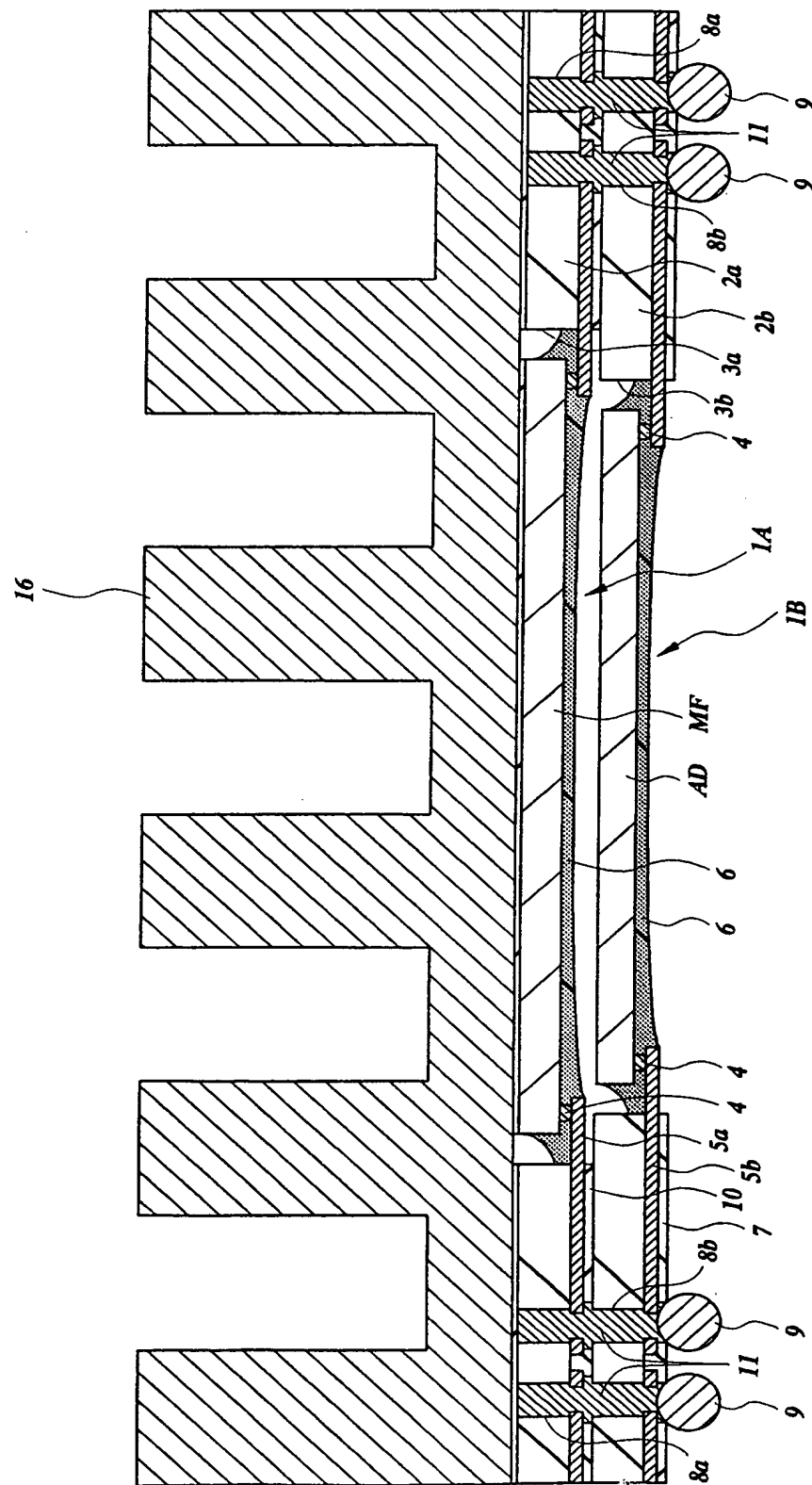
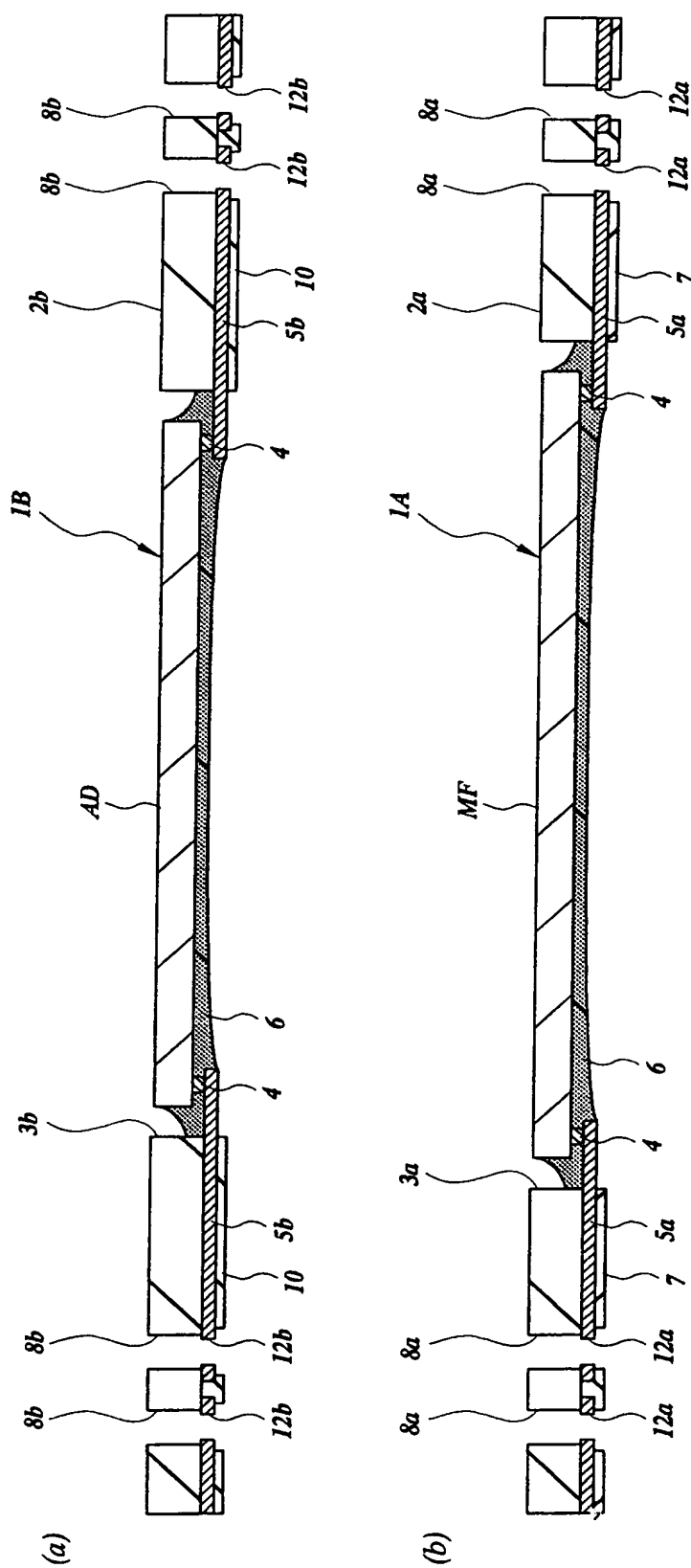
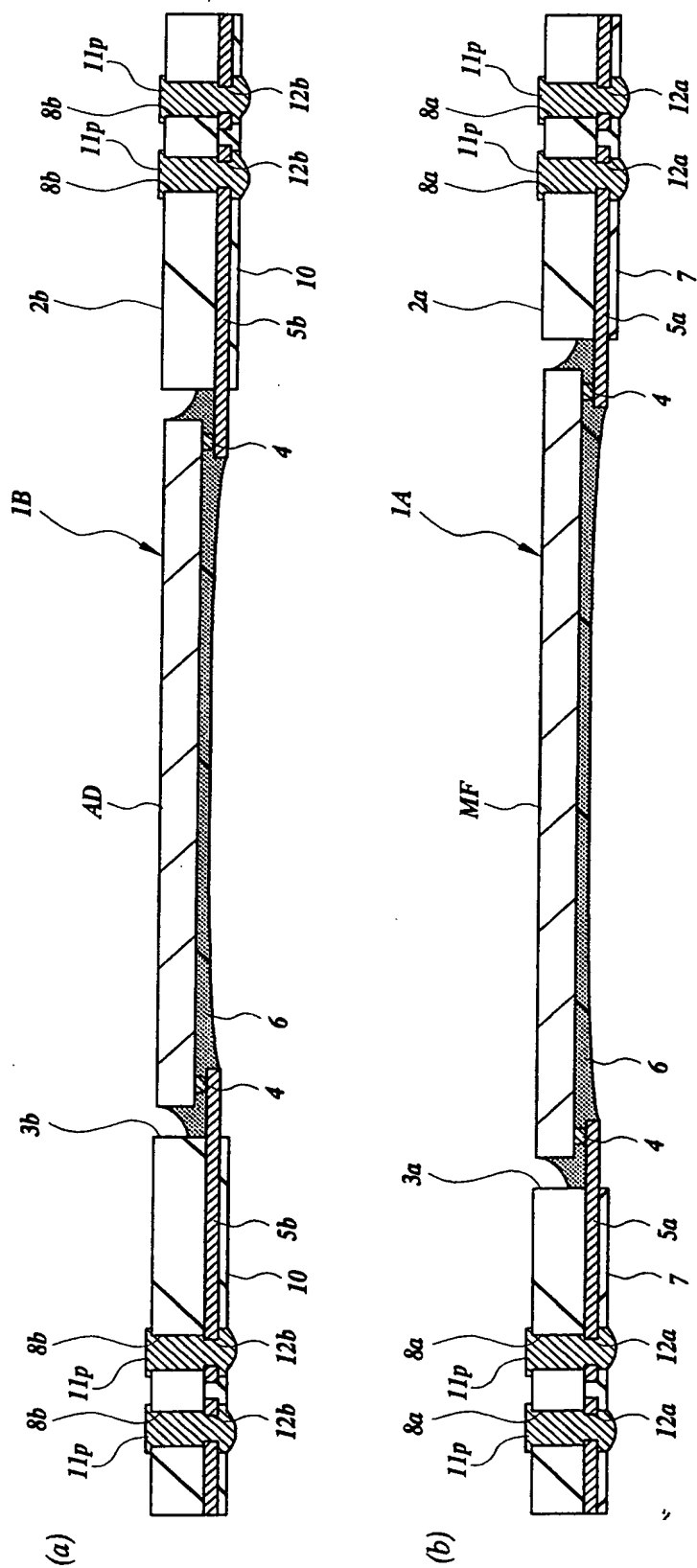


図 38



39



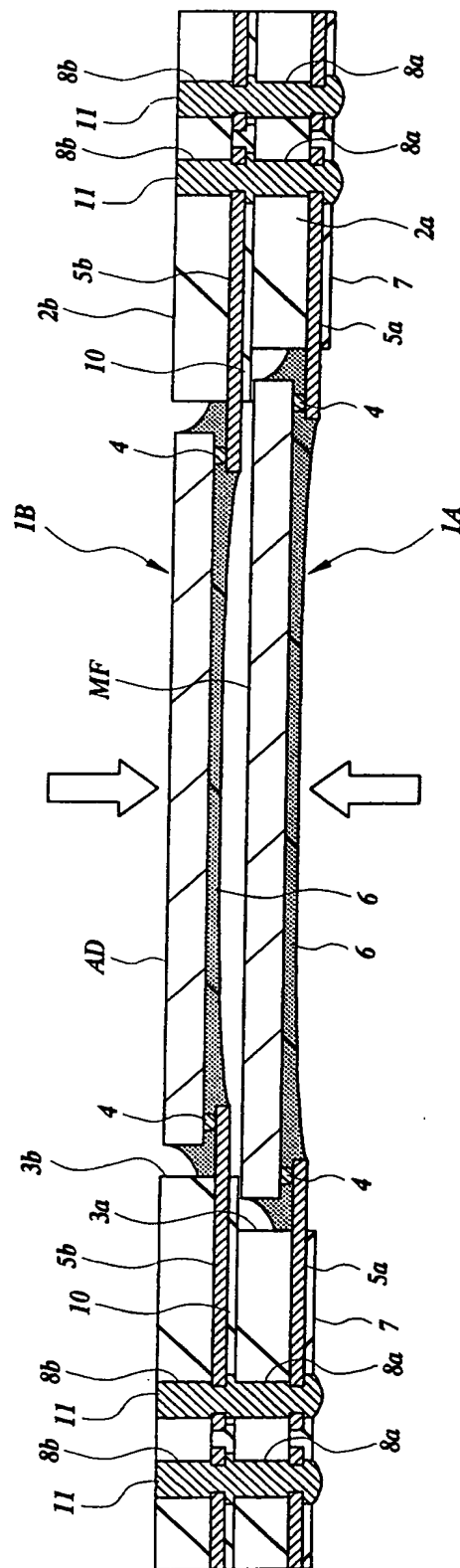


図 41

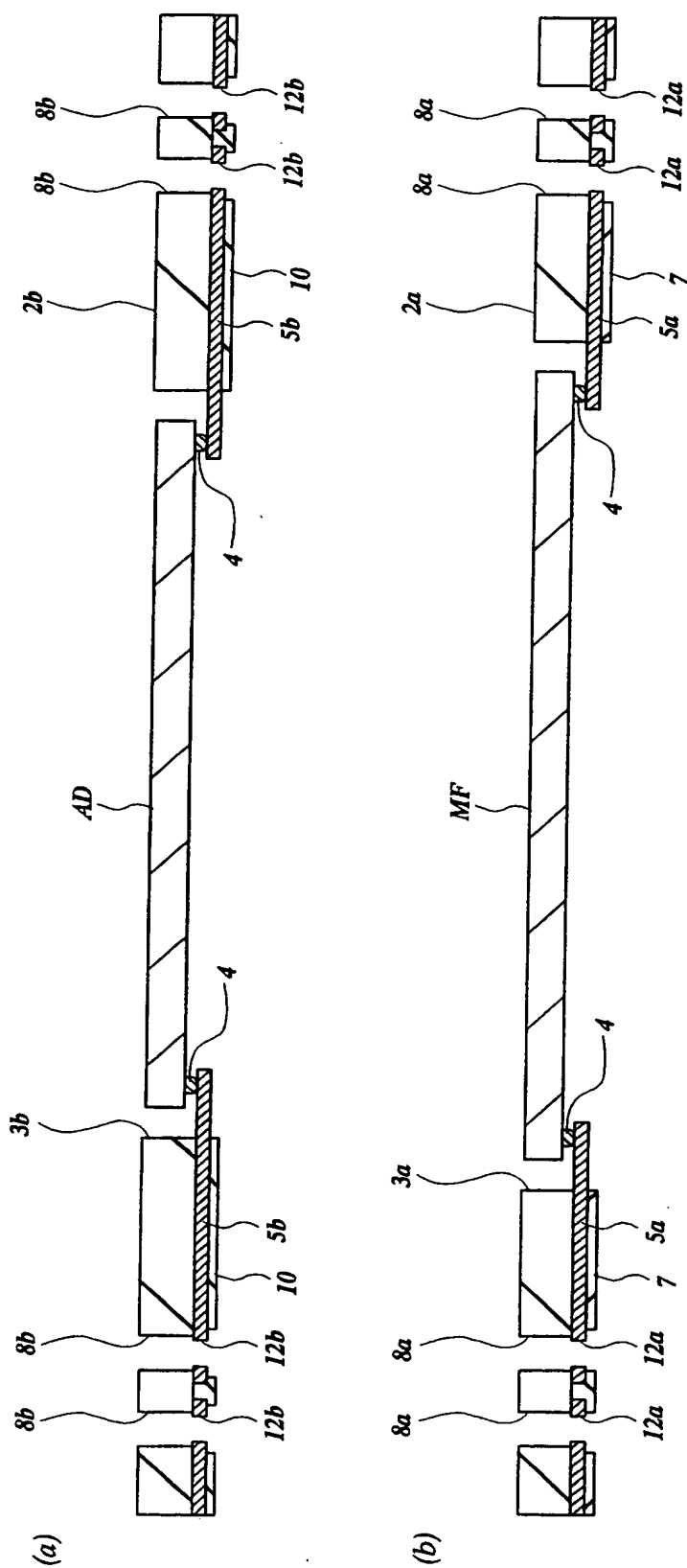
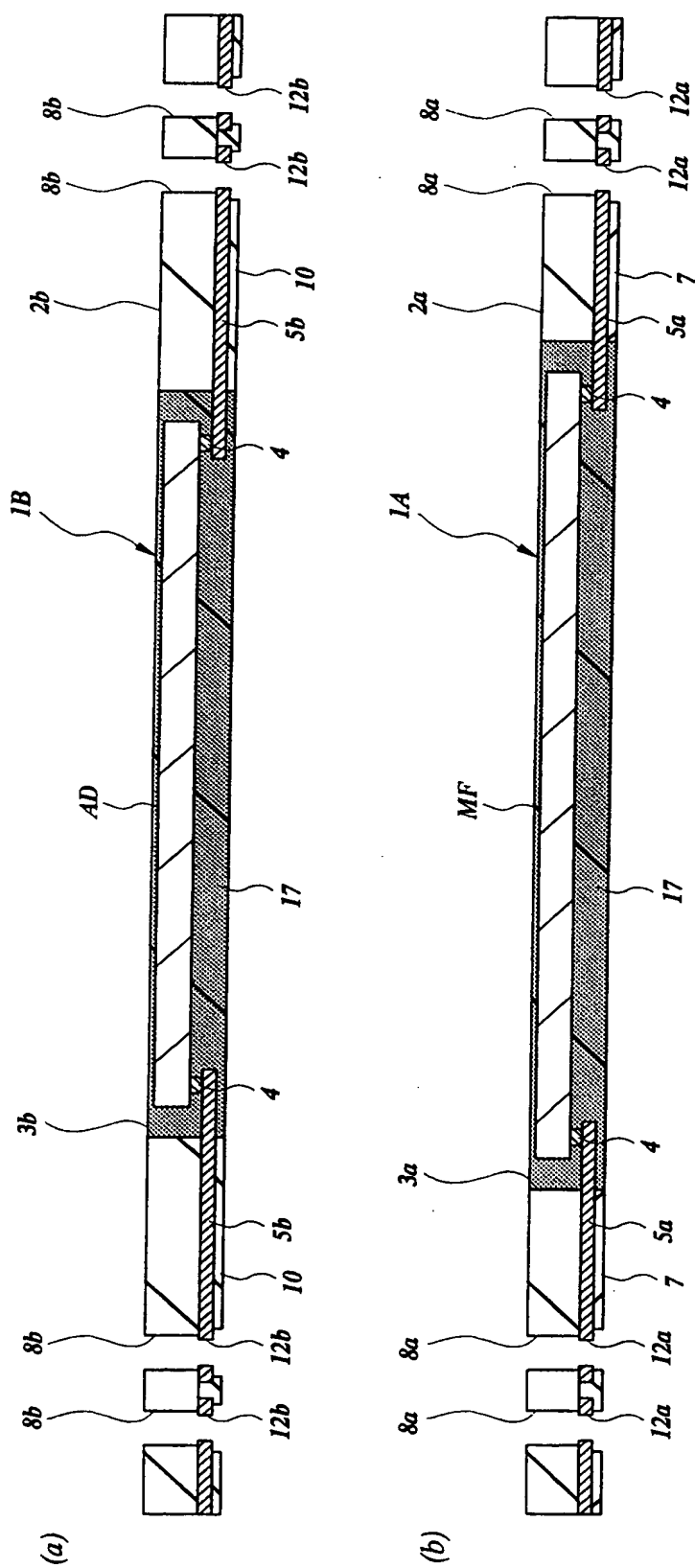
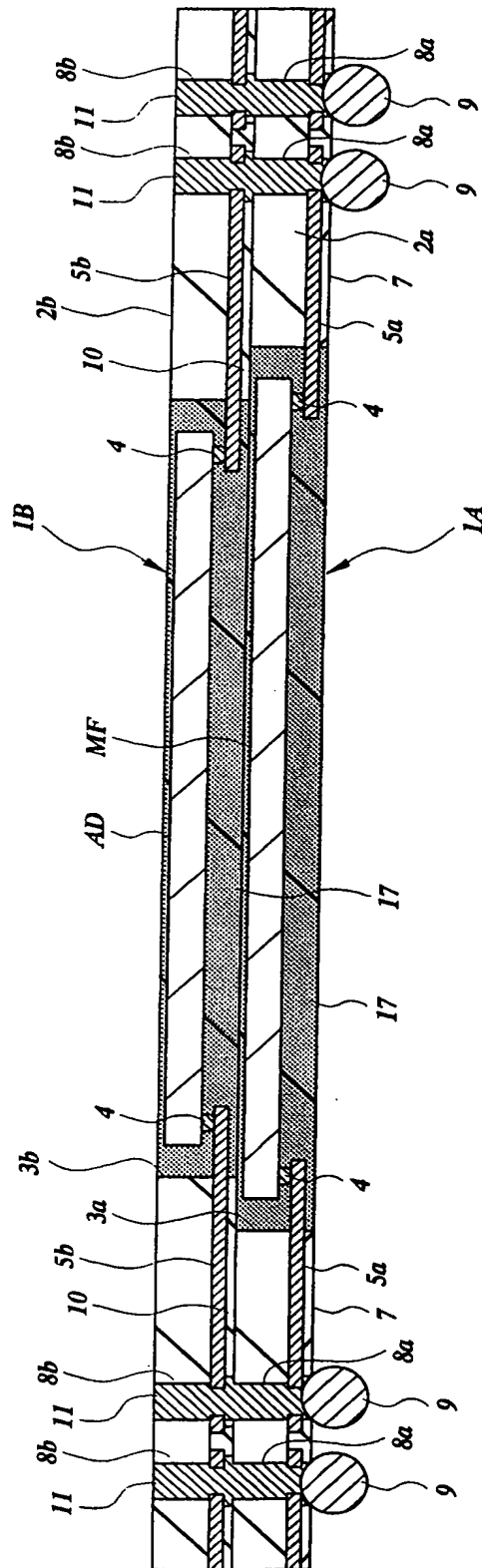


図 42



43



44

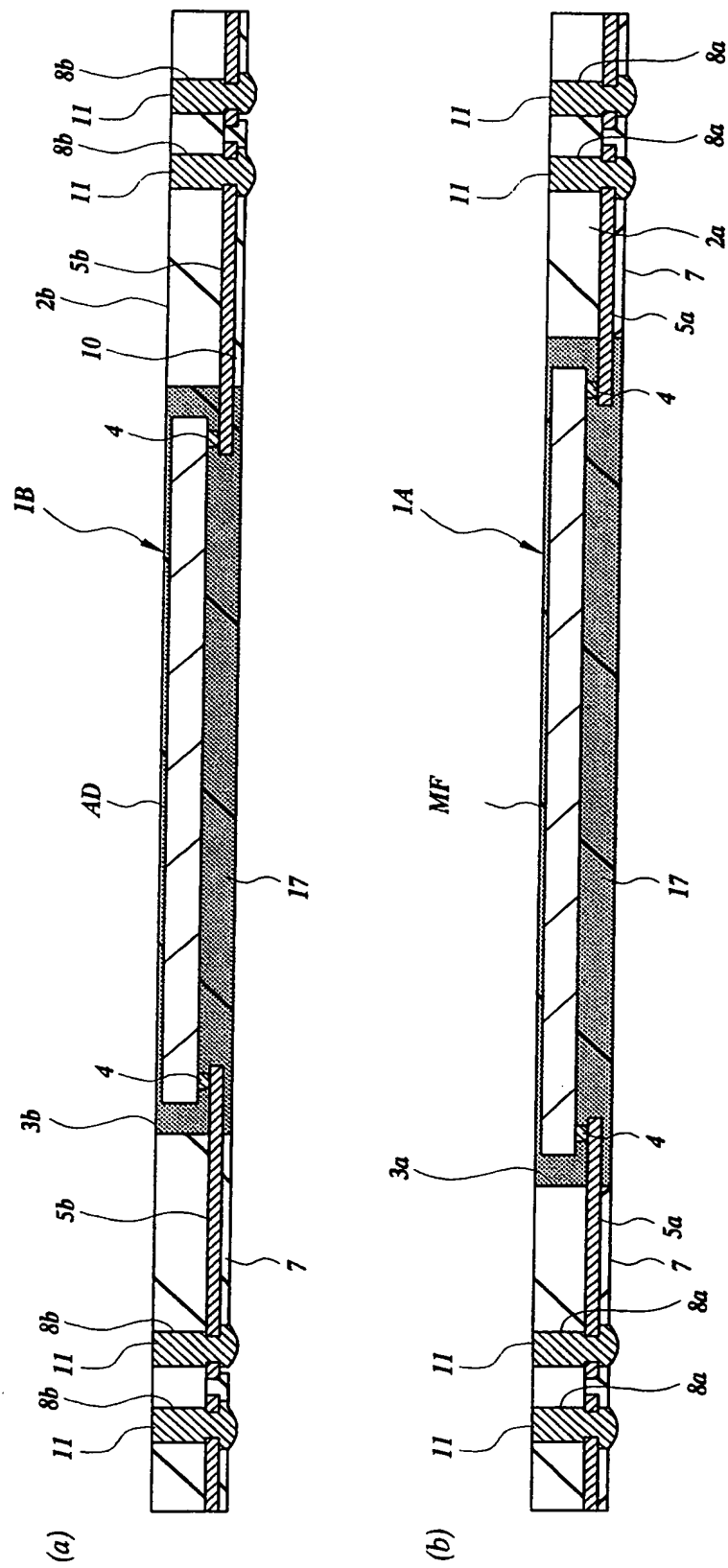
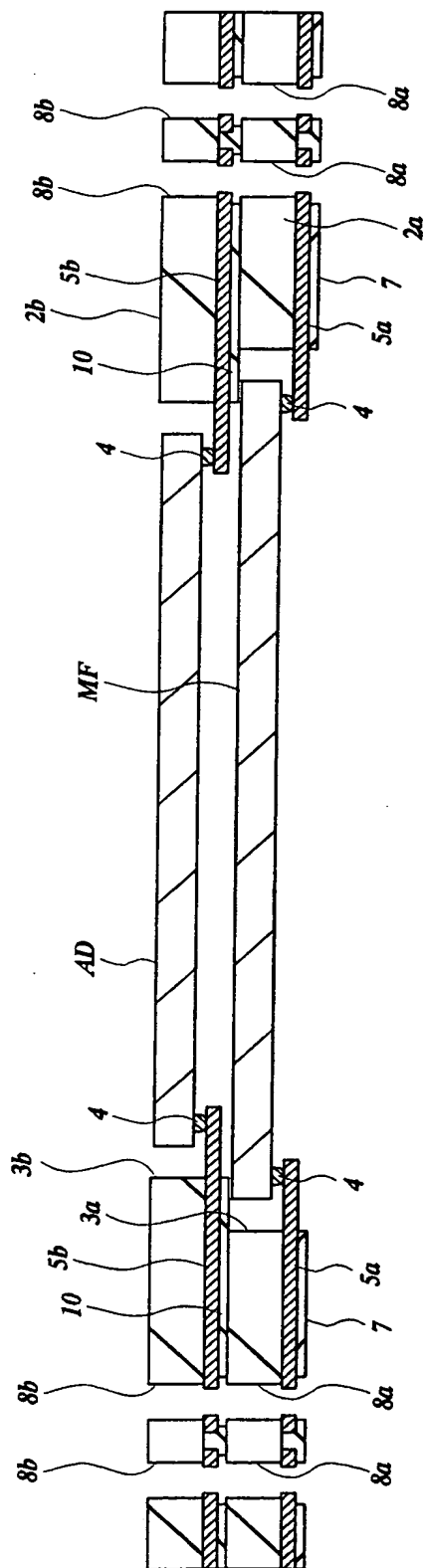




図 45



46

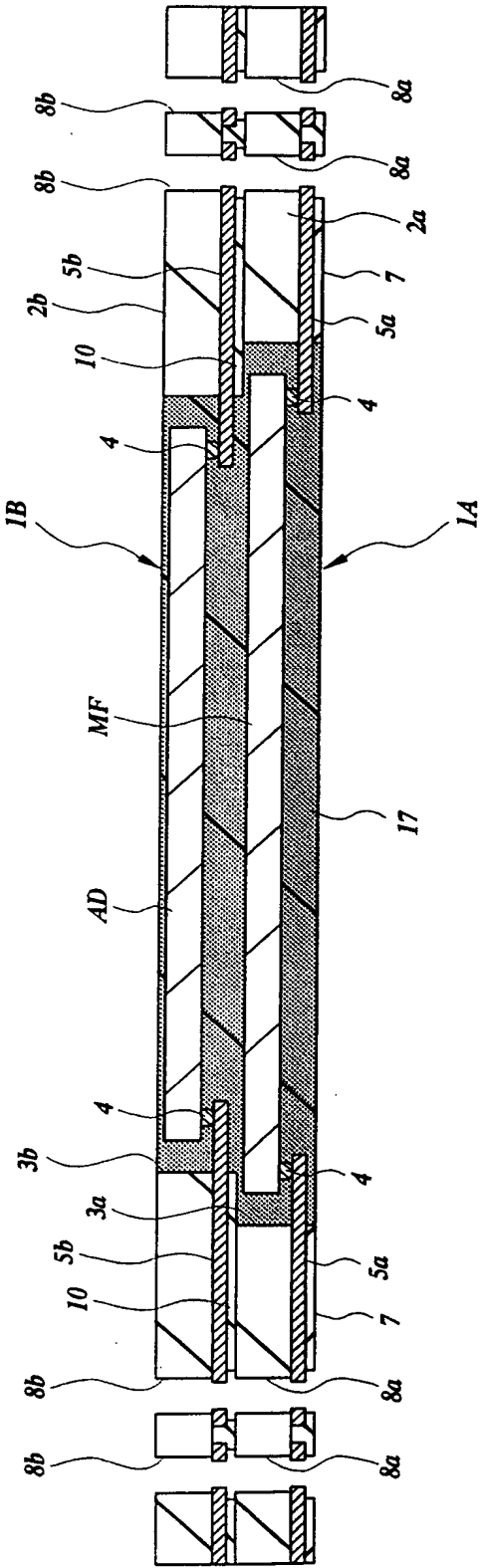
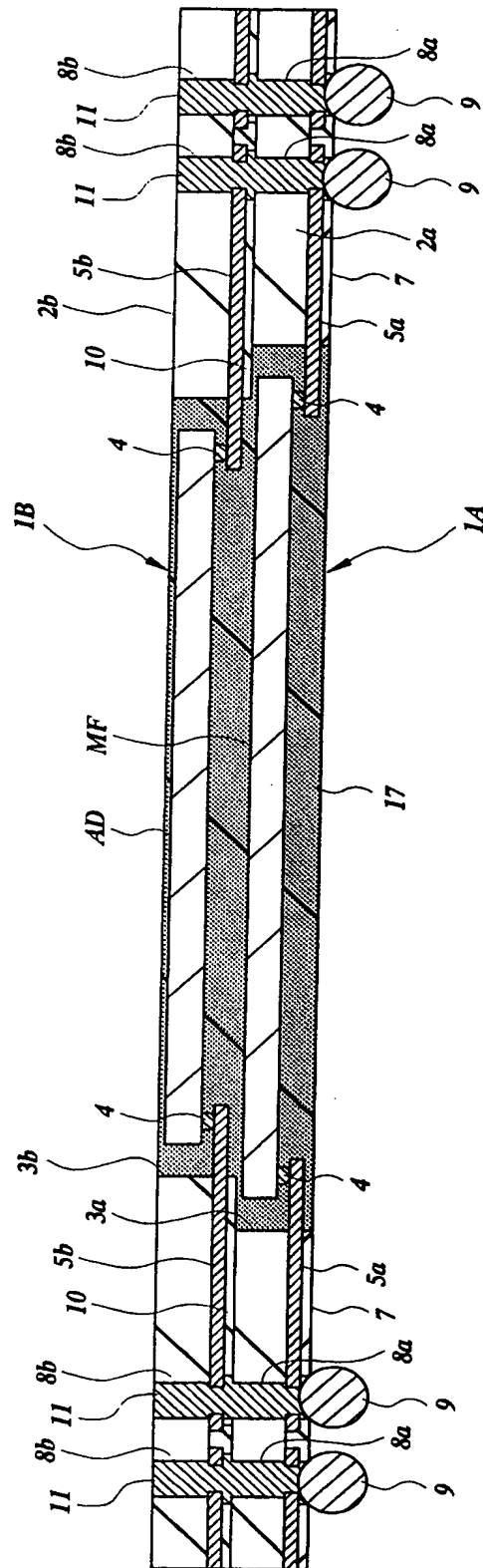
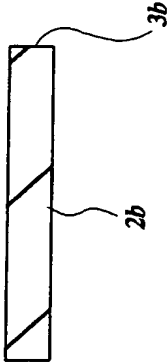


図 47

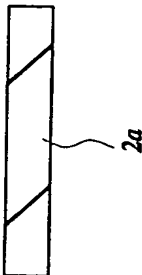
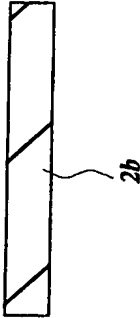
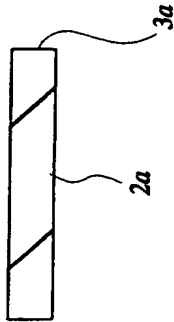


48

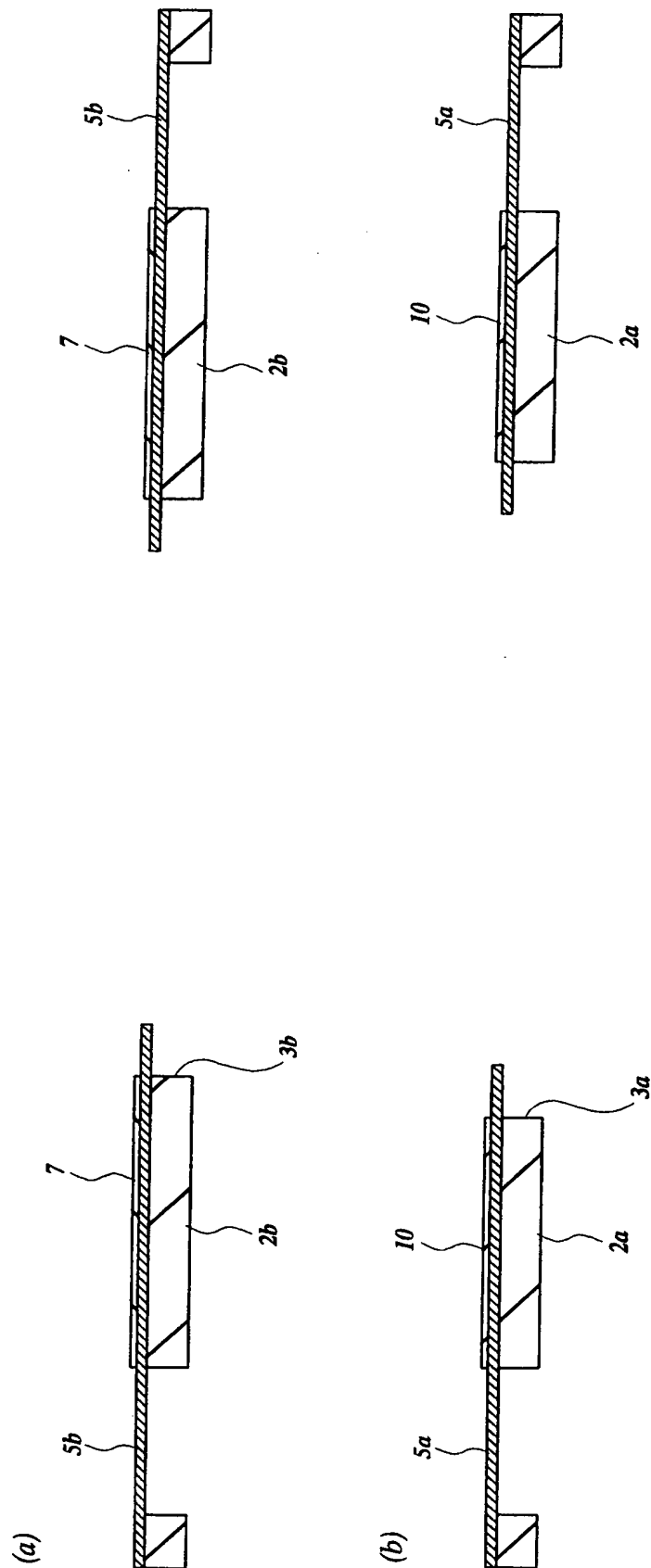
(a)



(b)



49



50

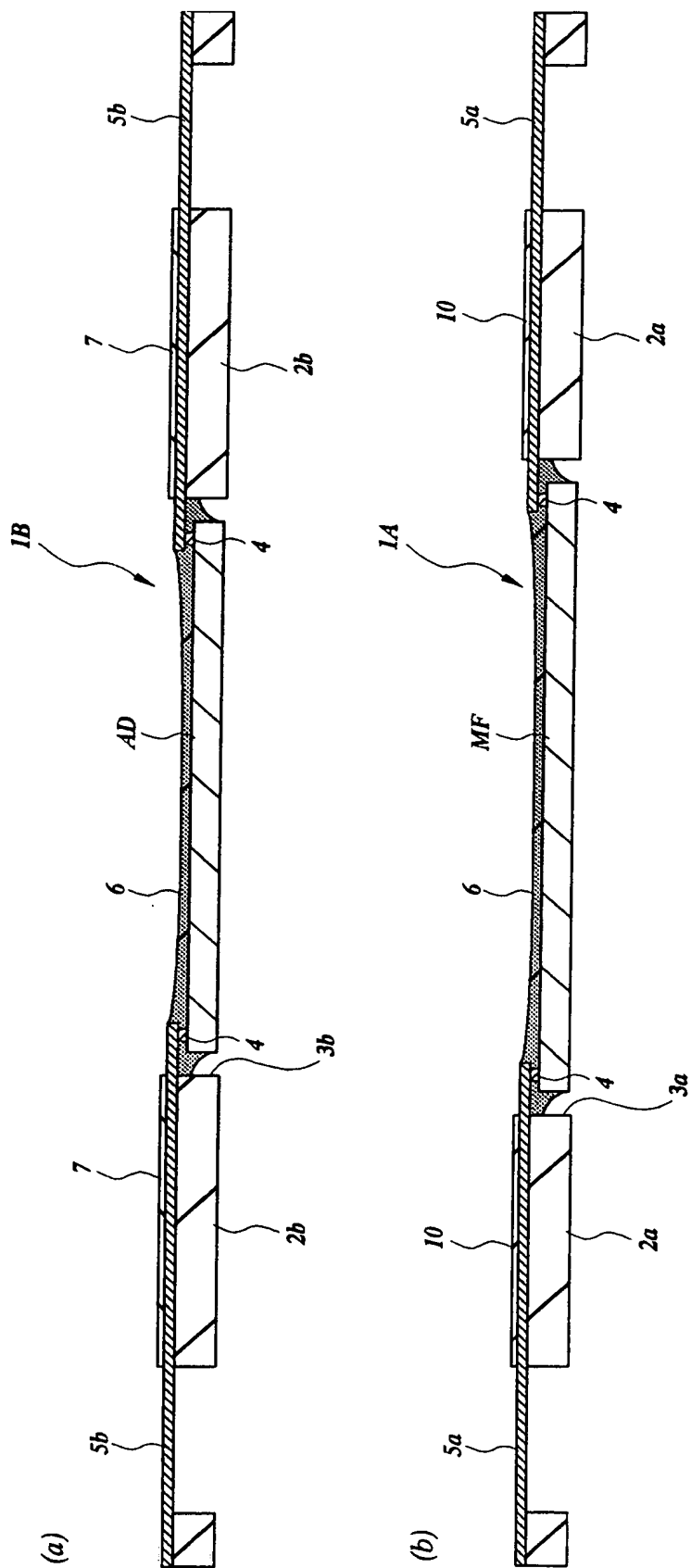


図 51

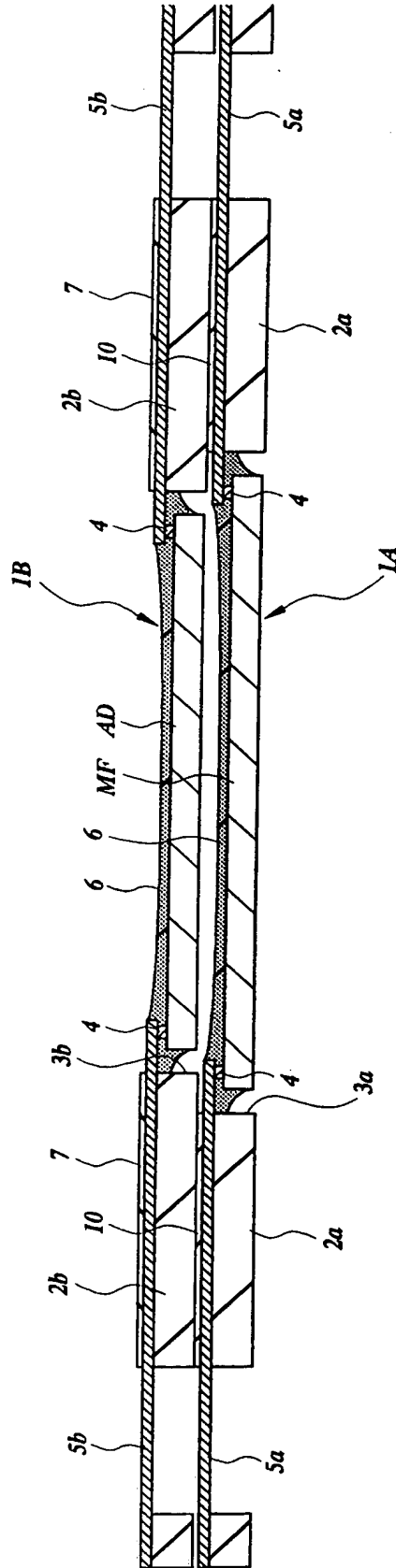
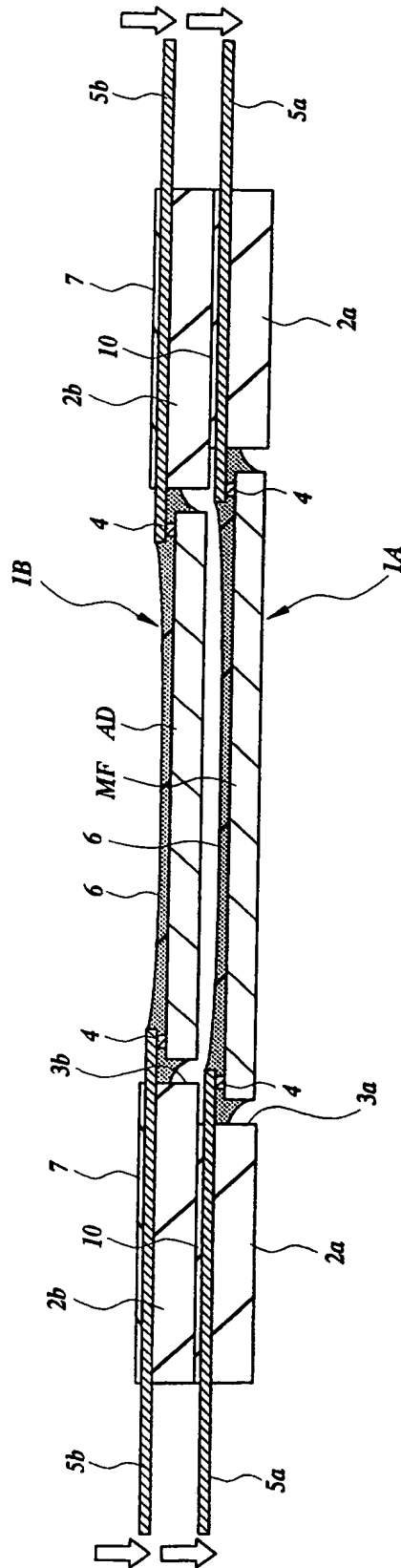


図 52





53

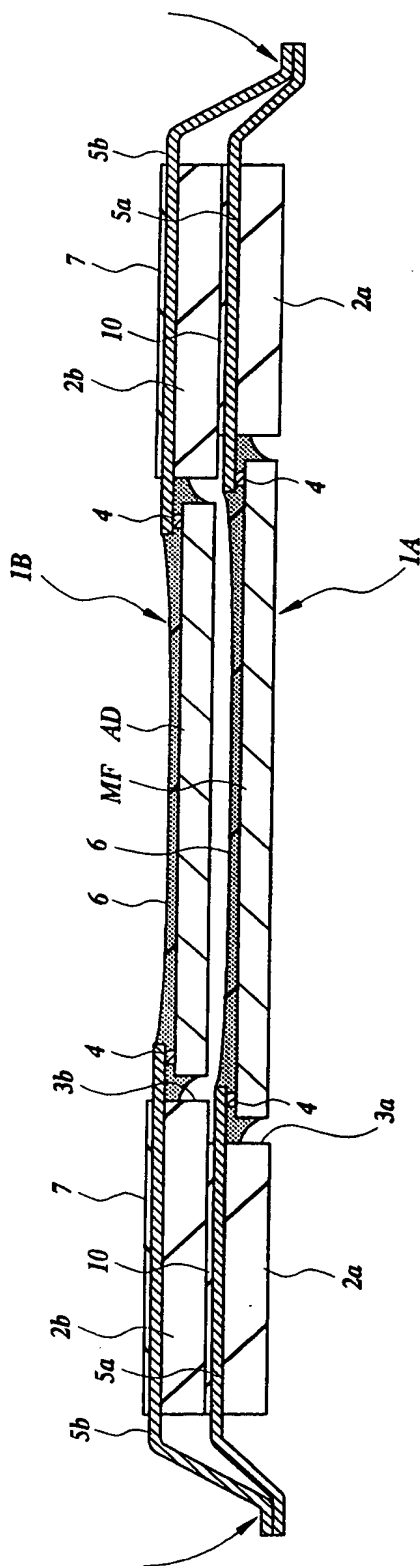


図 54

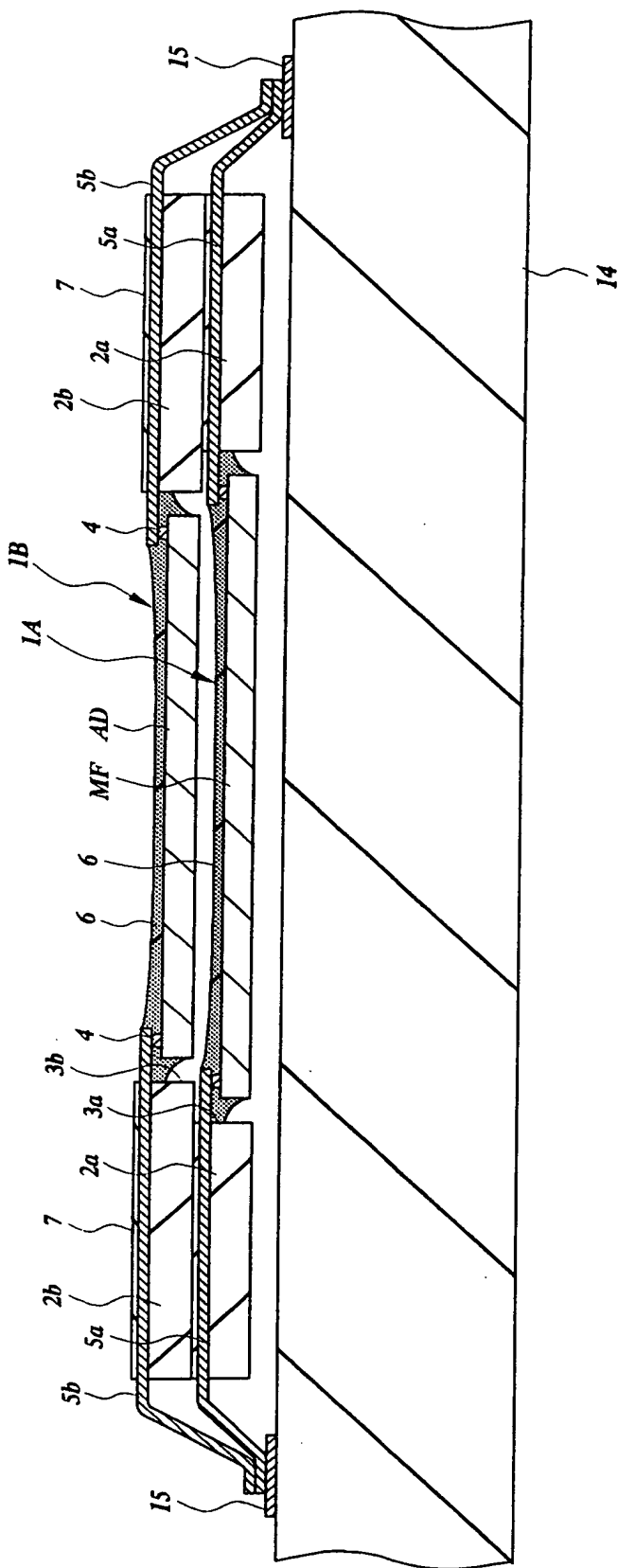


図 55

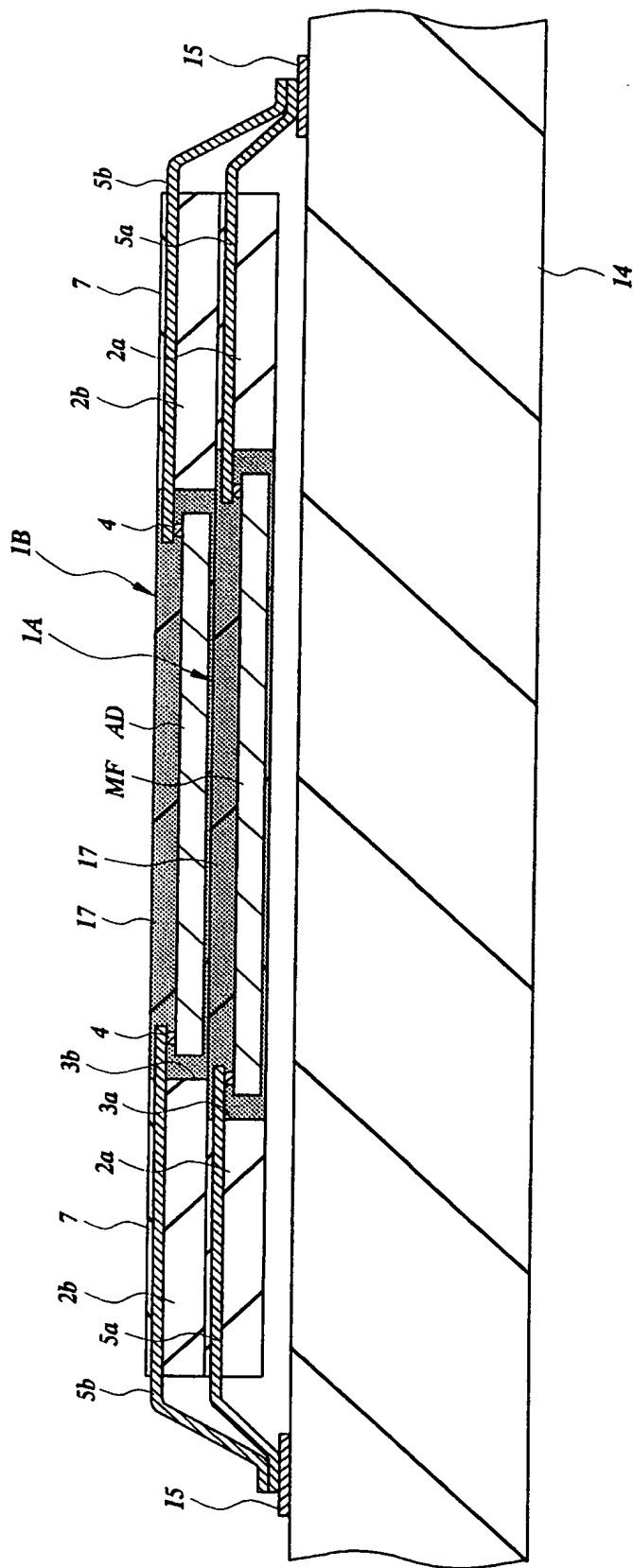


図 56

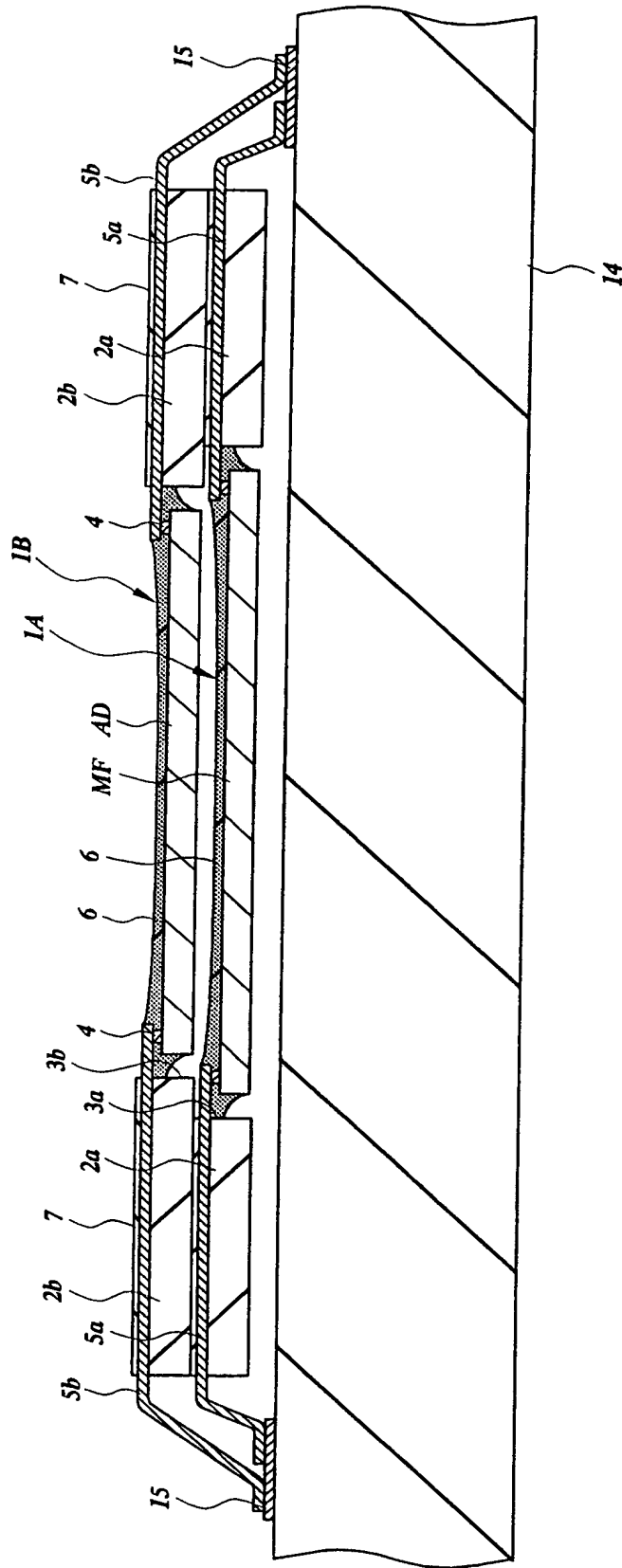


図 57

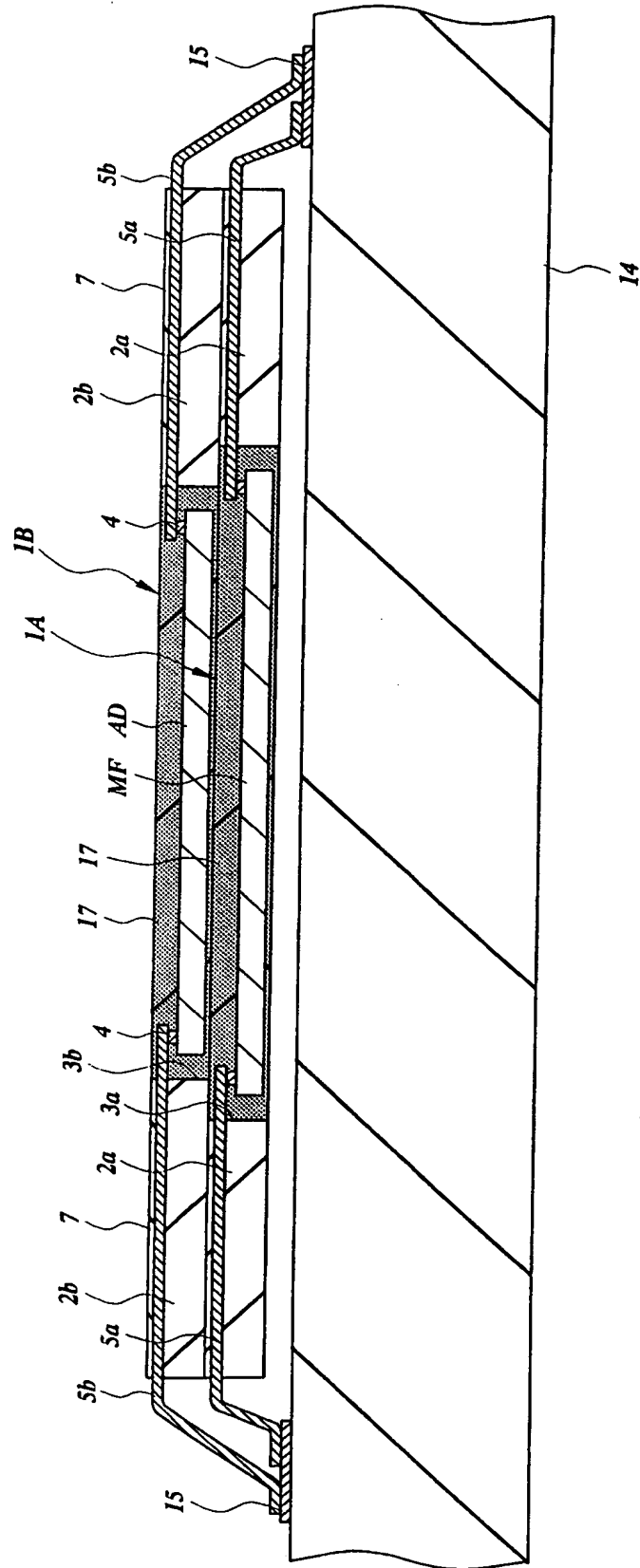


図 58

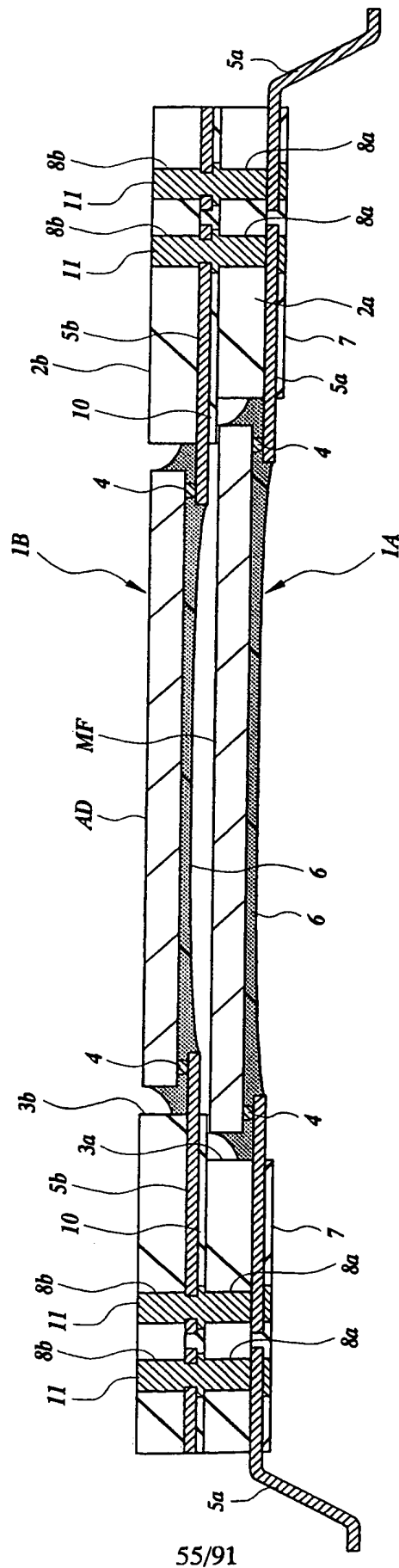


図 59

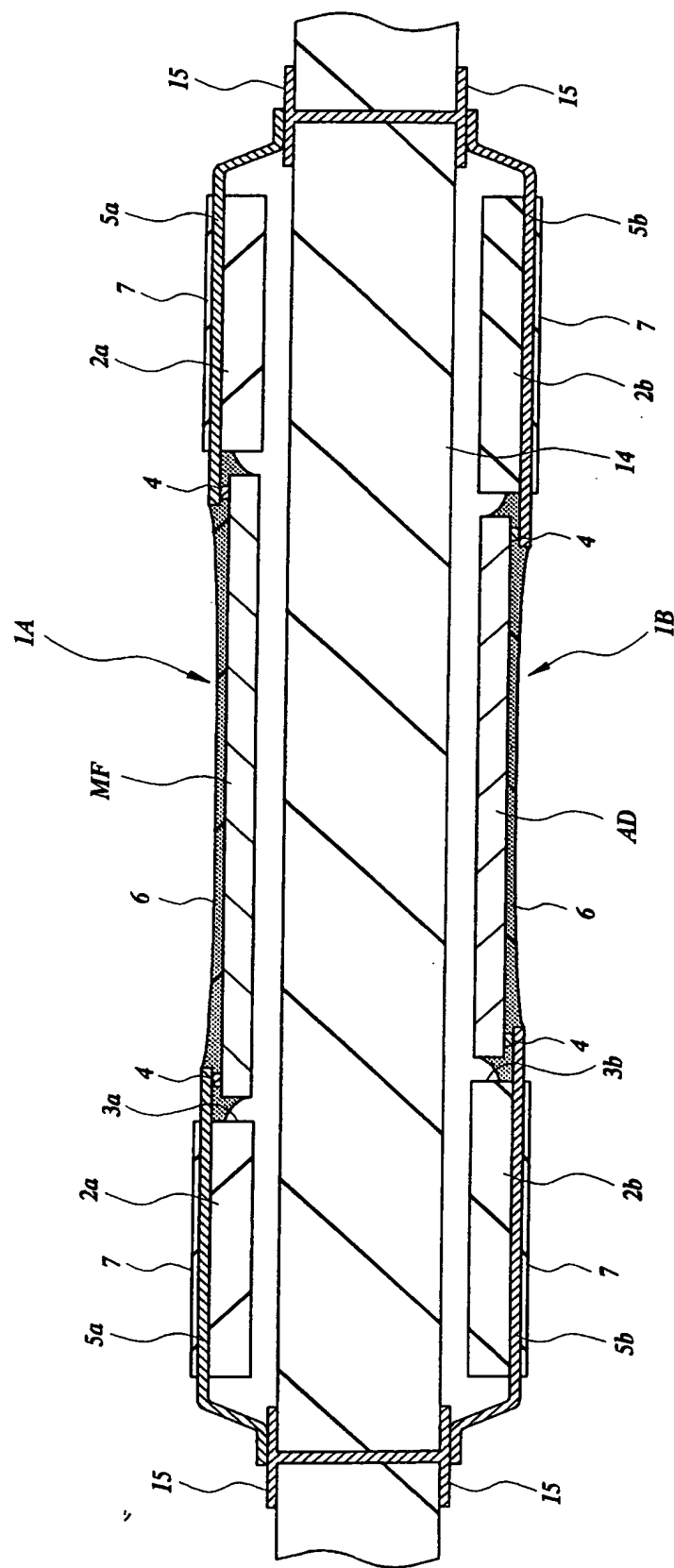
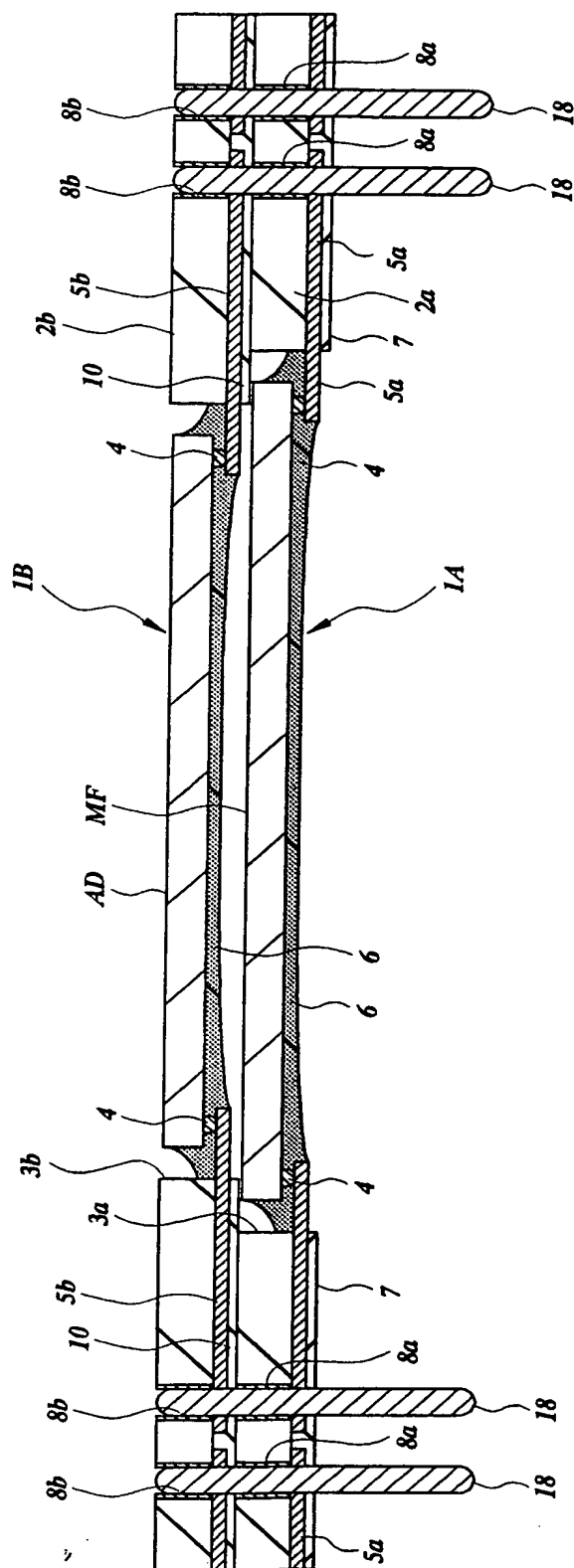
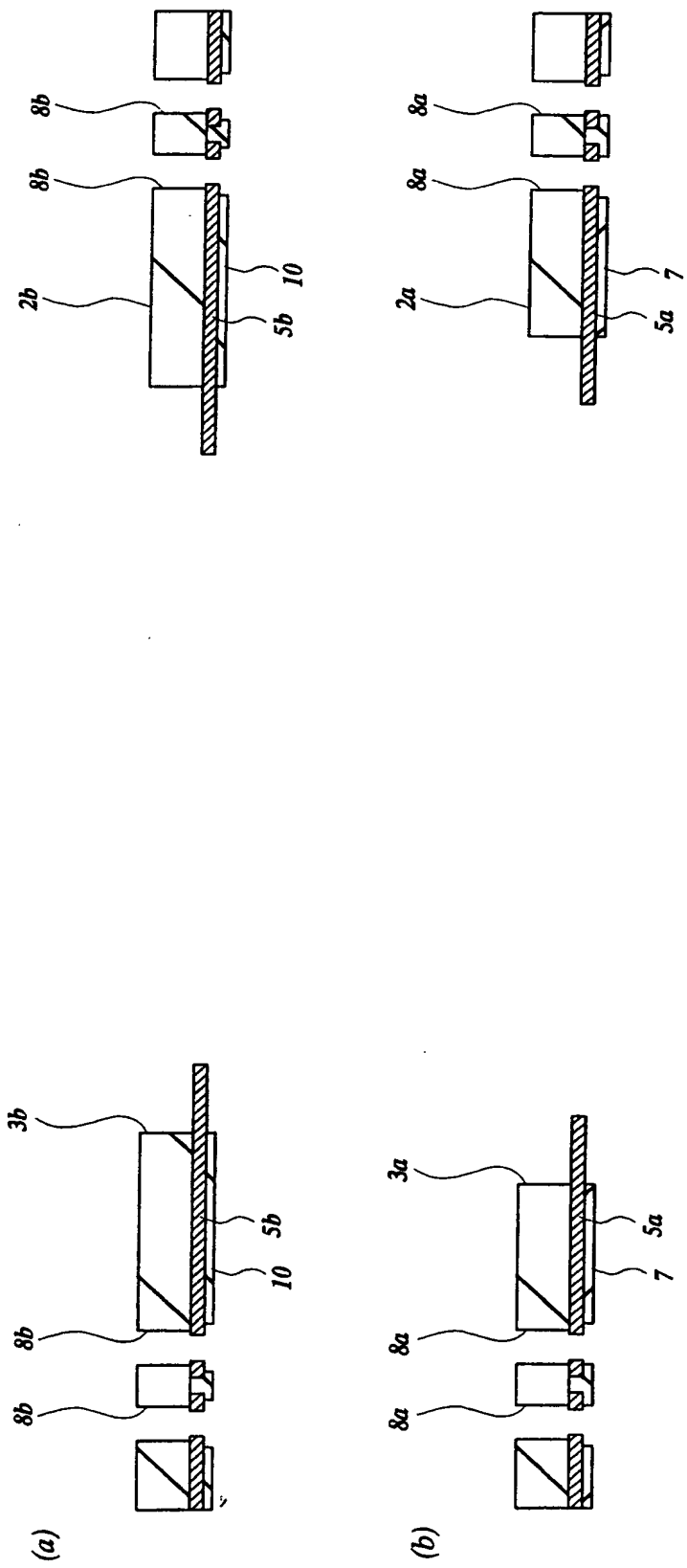


図 60





61



62

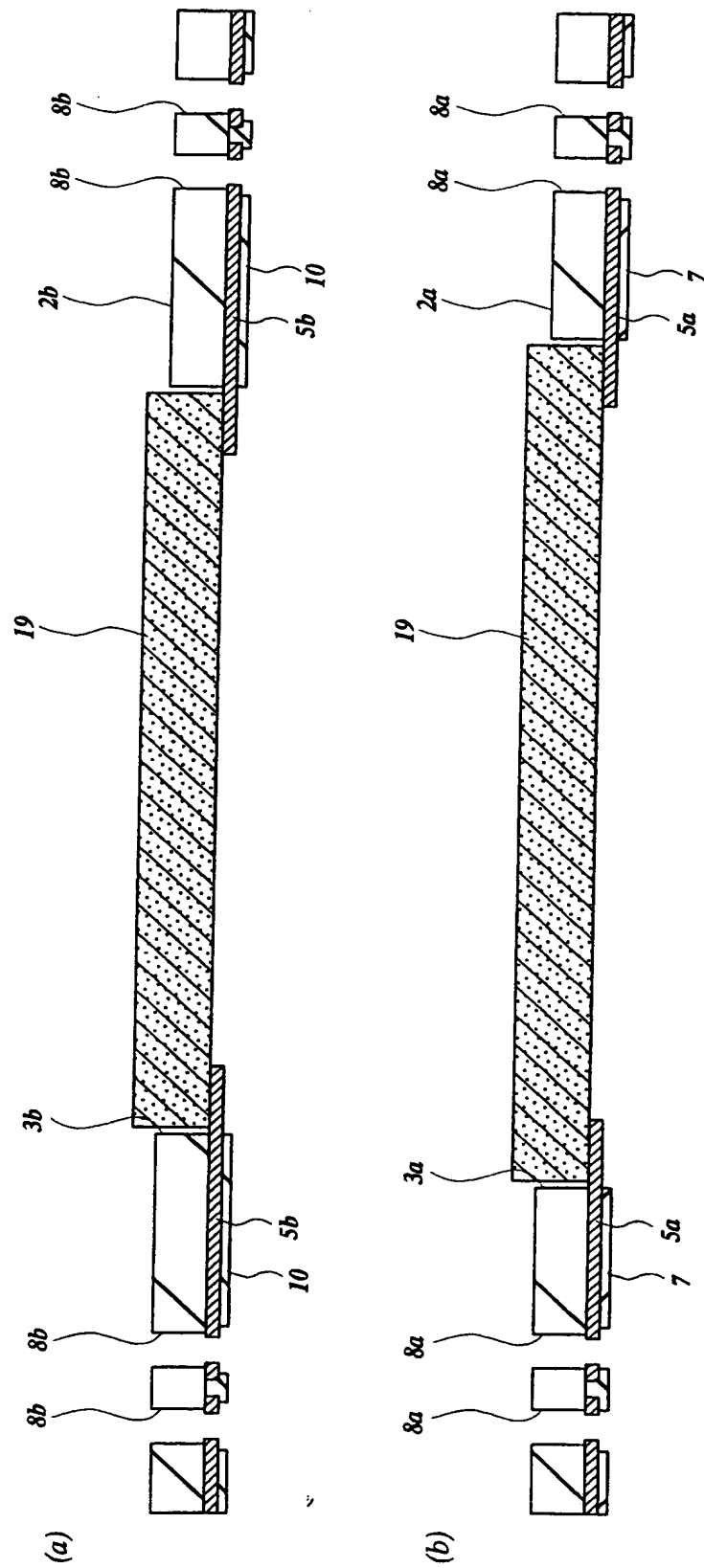
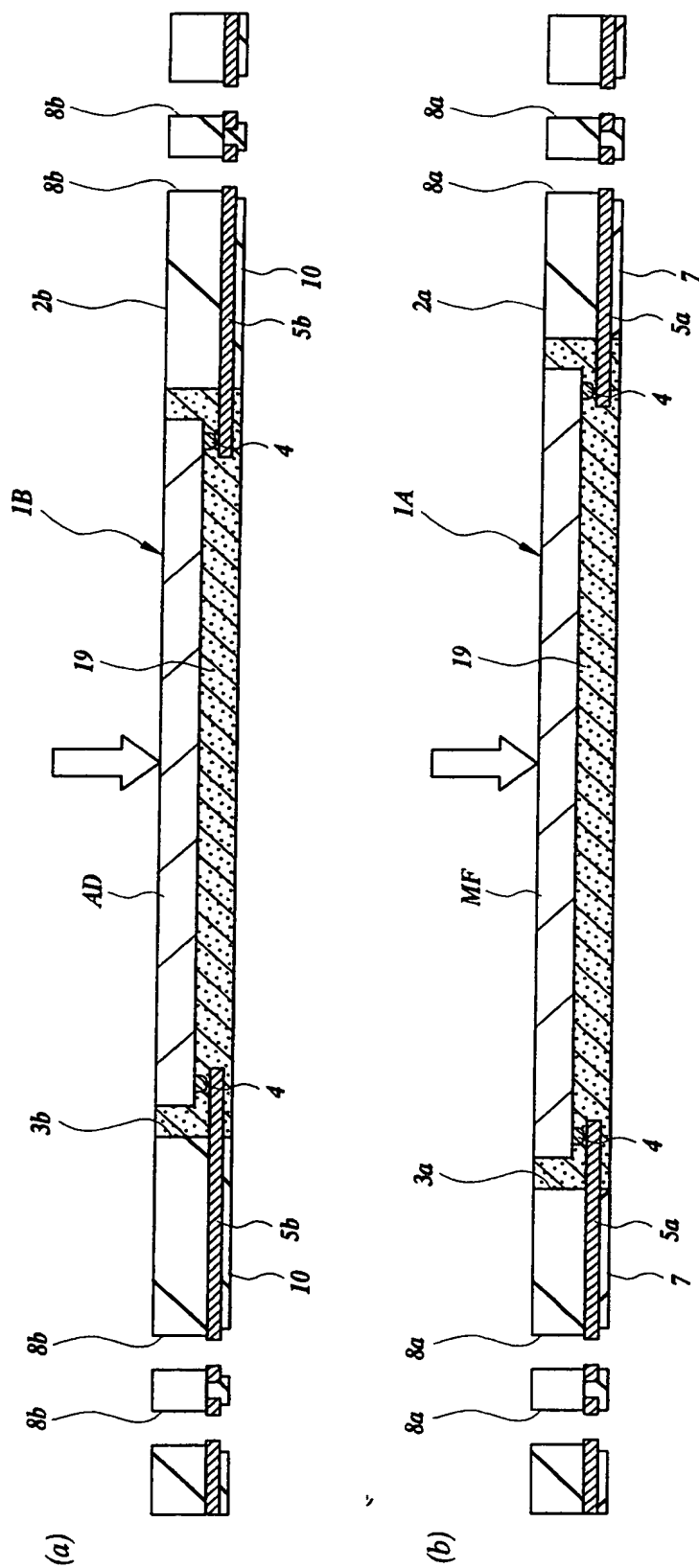


図 63



64

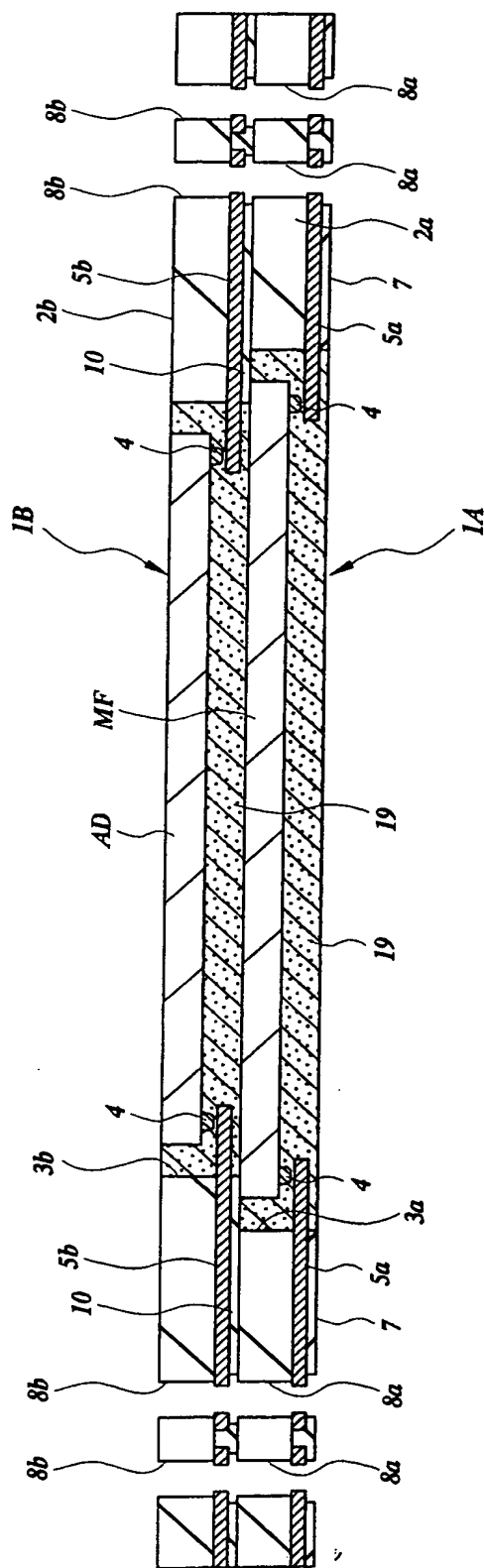
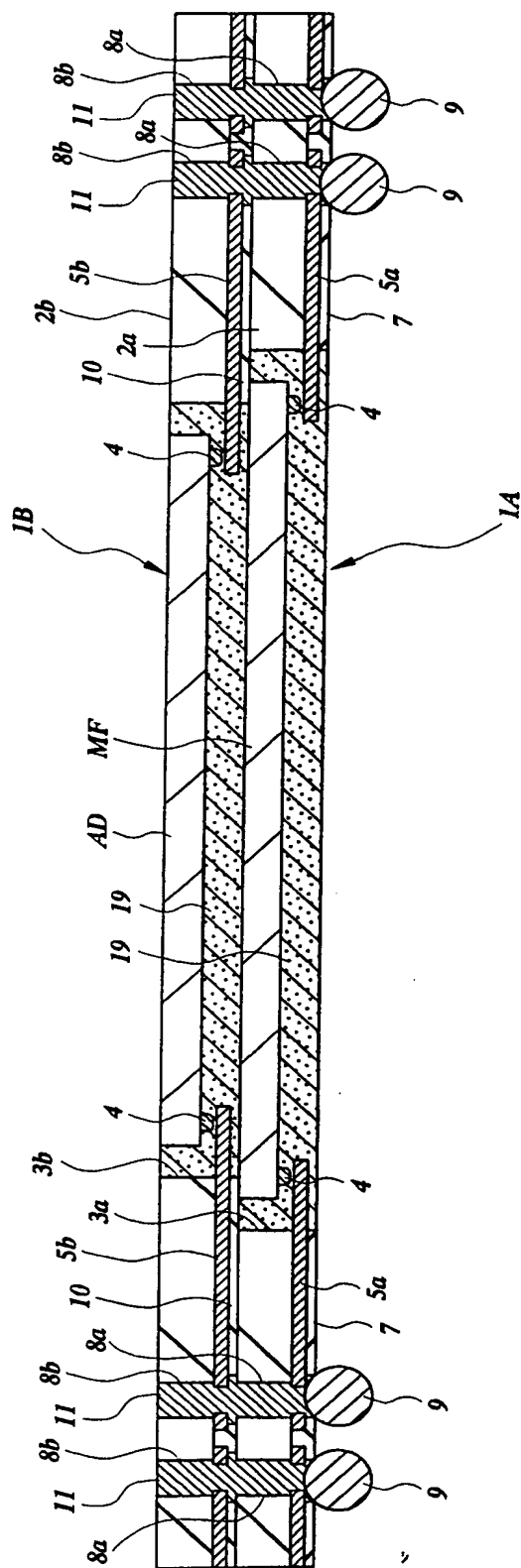
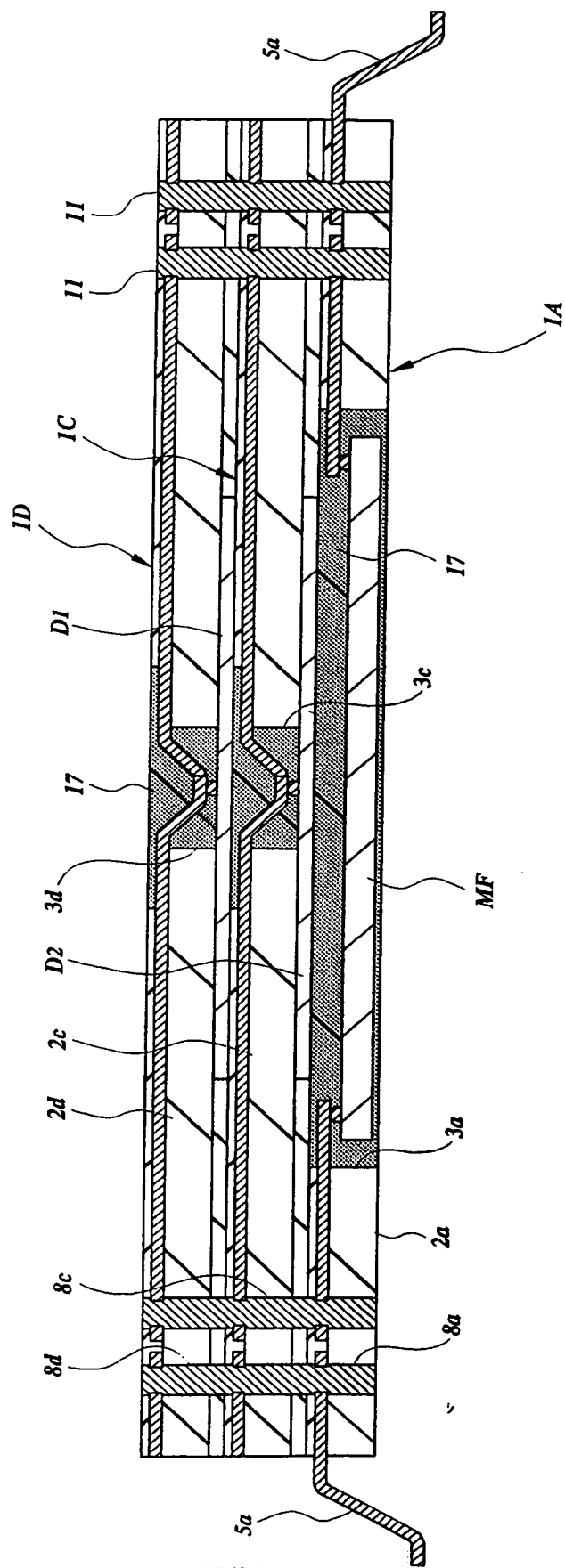


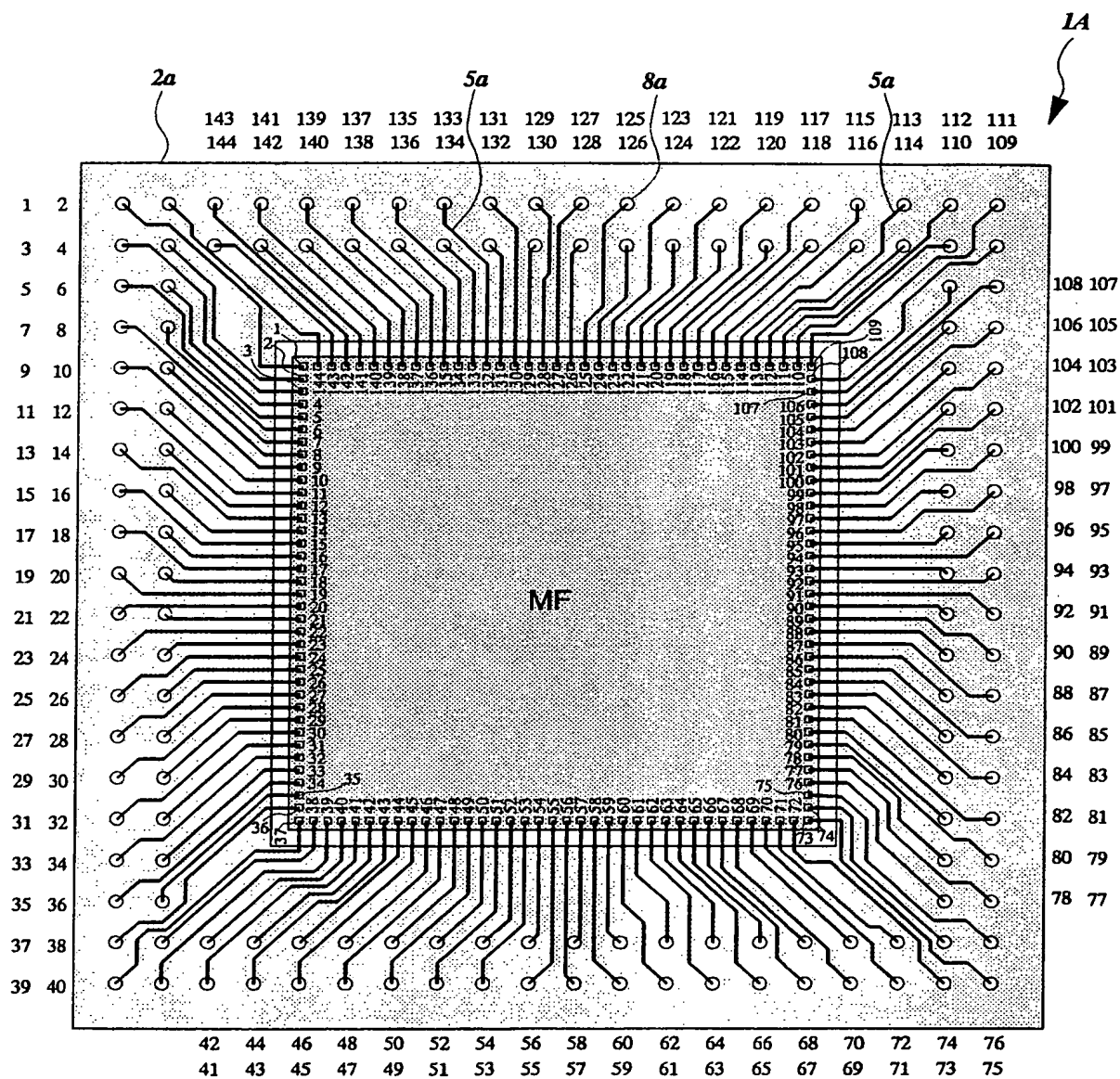
図 65

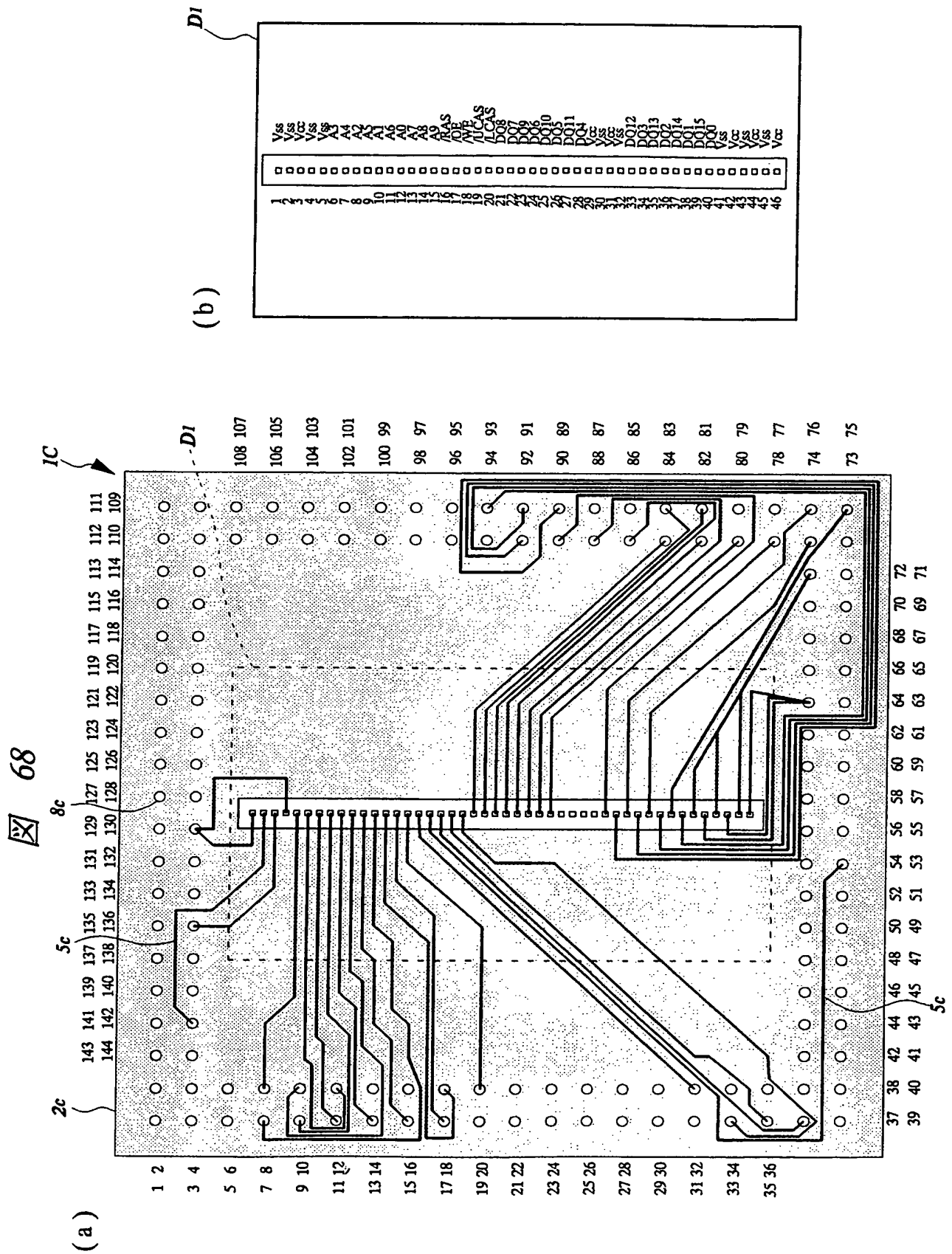


99 ☒



67







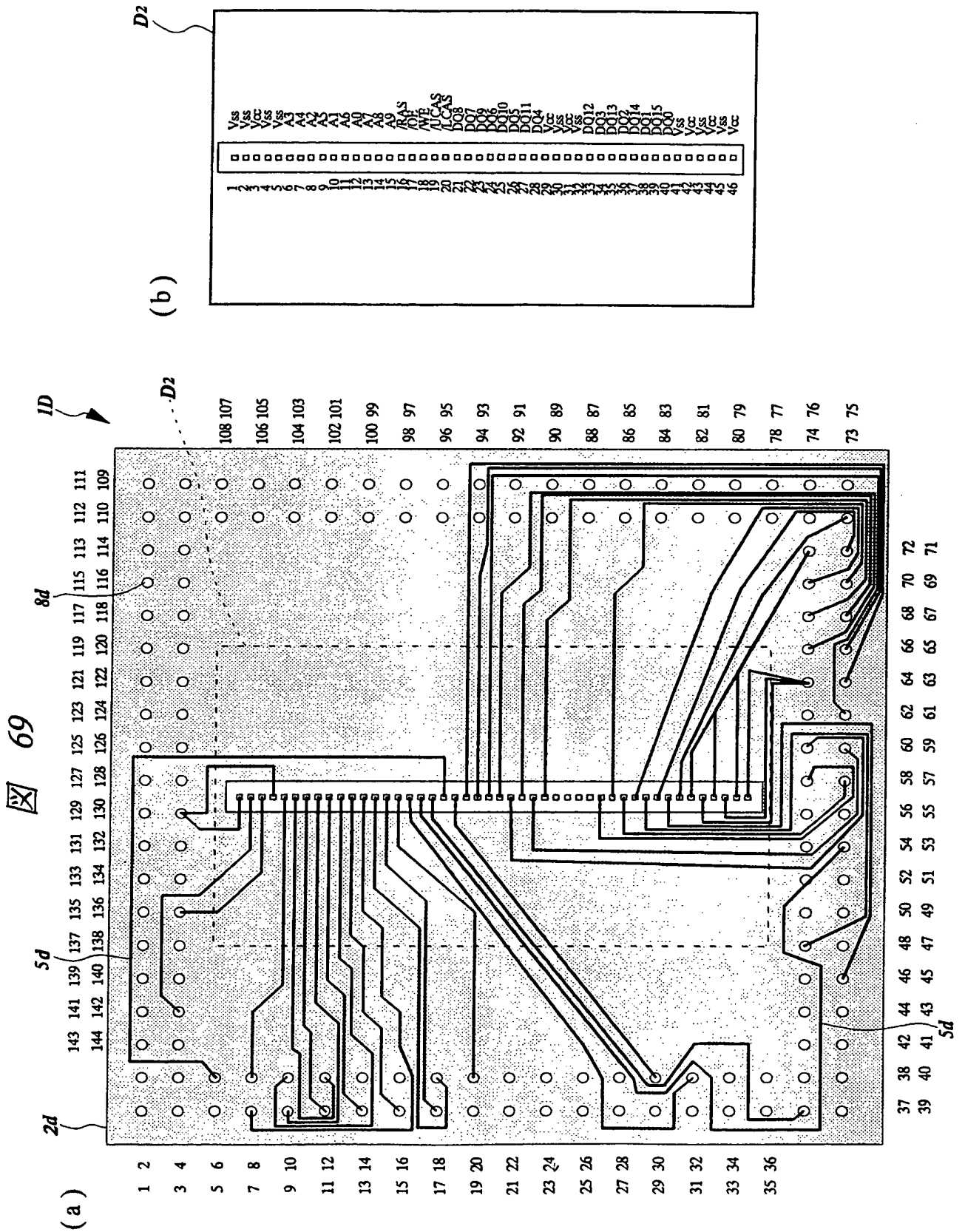


図 70

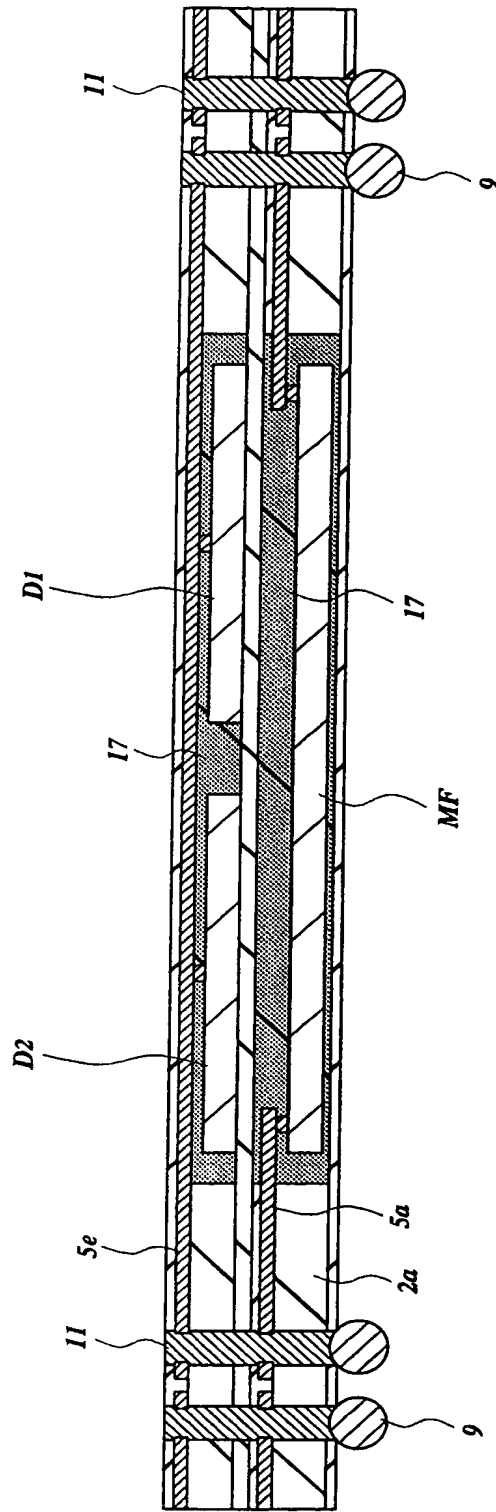


図 71

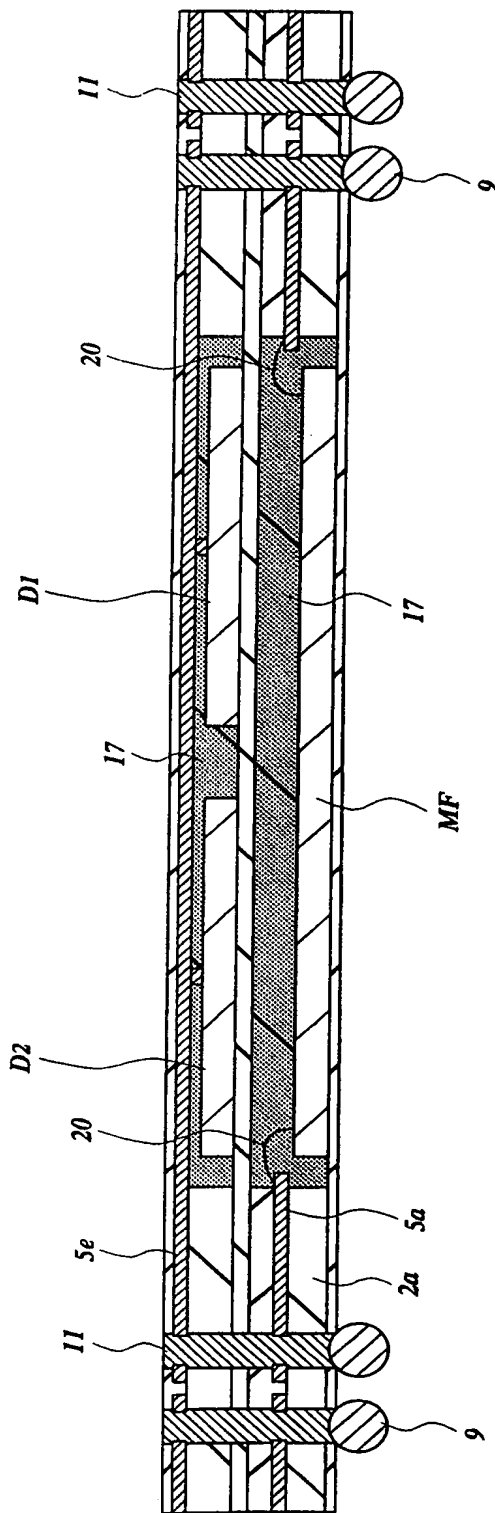


図 72

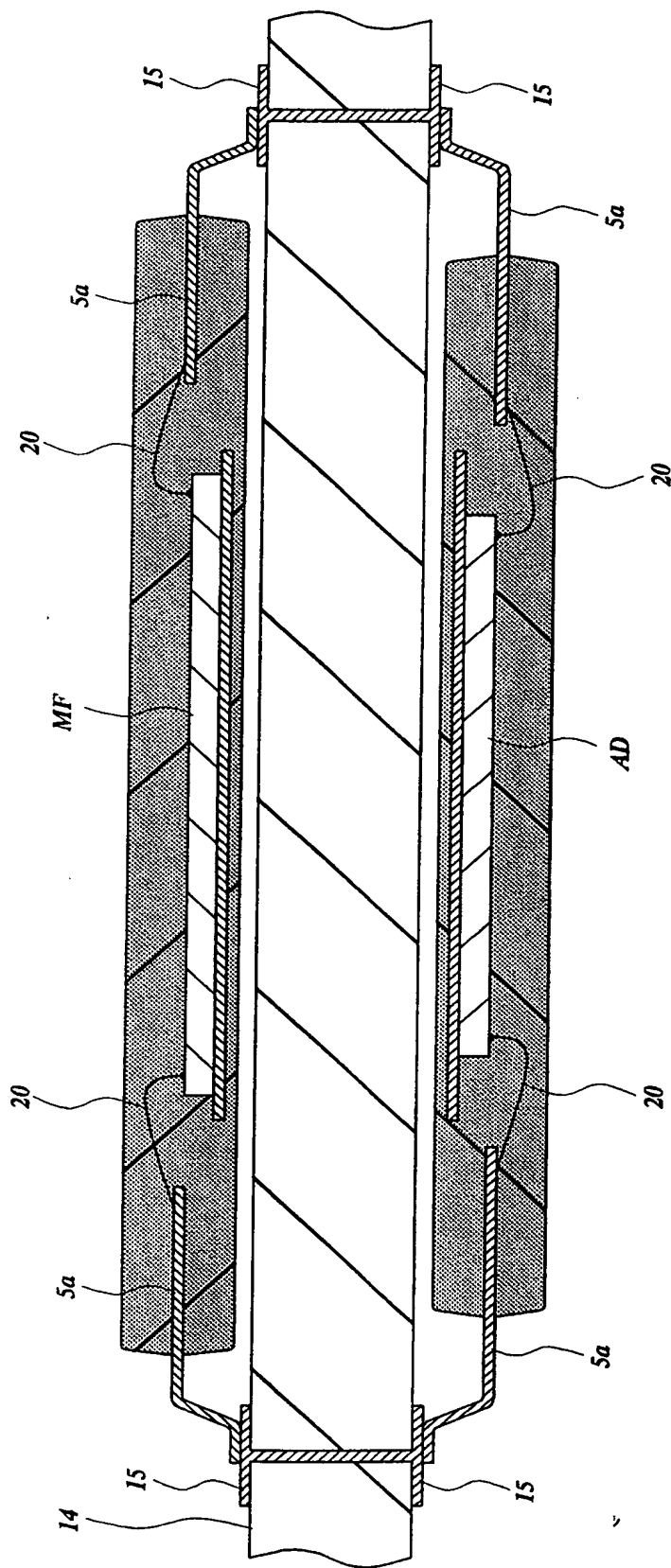


図 73

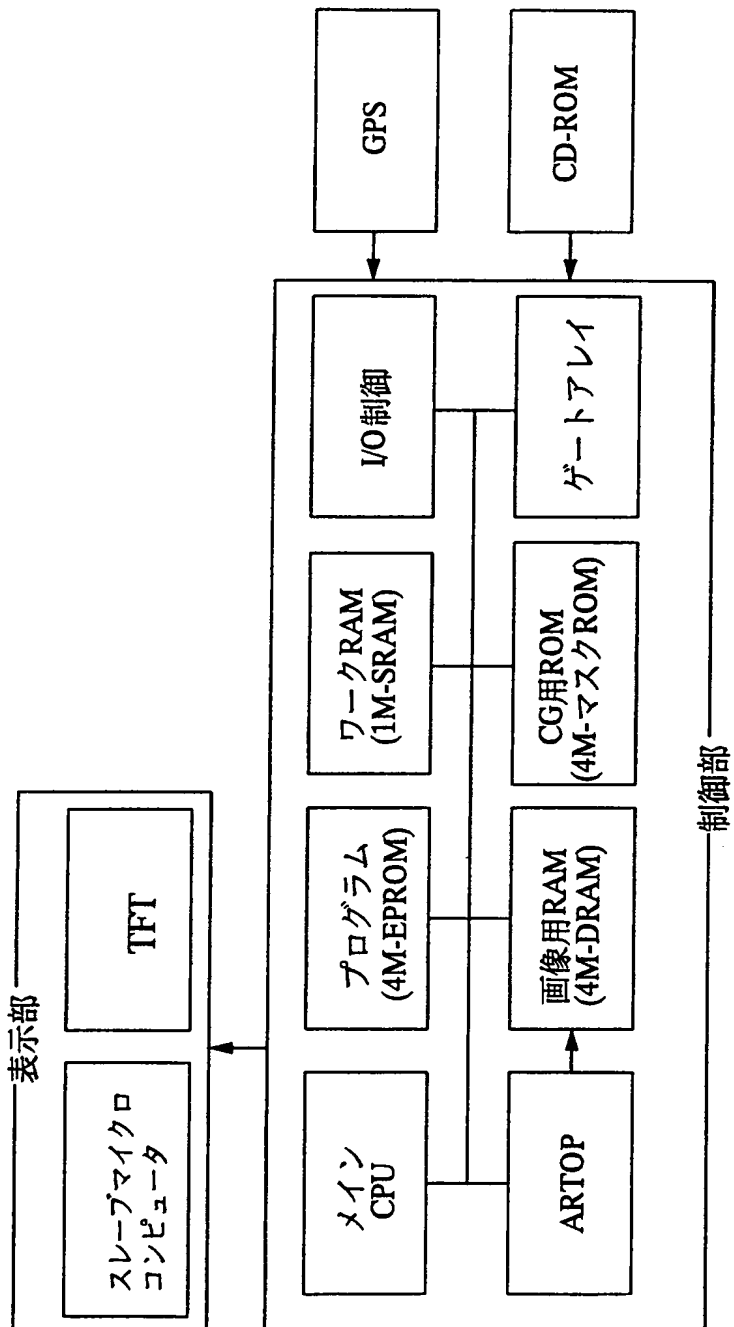
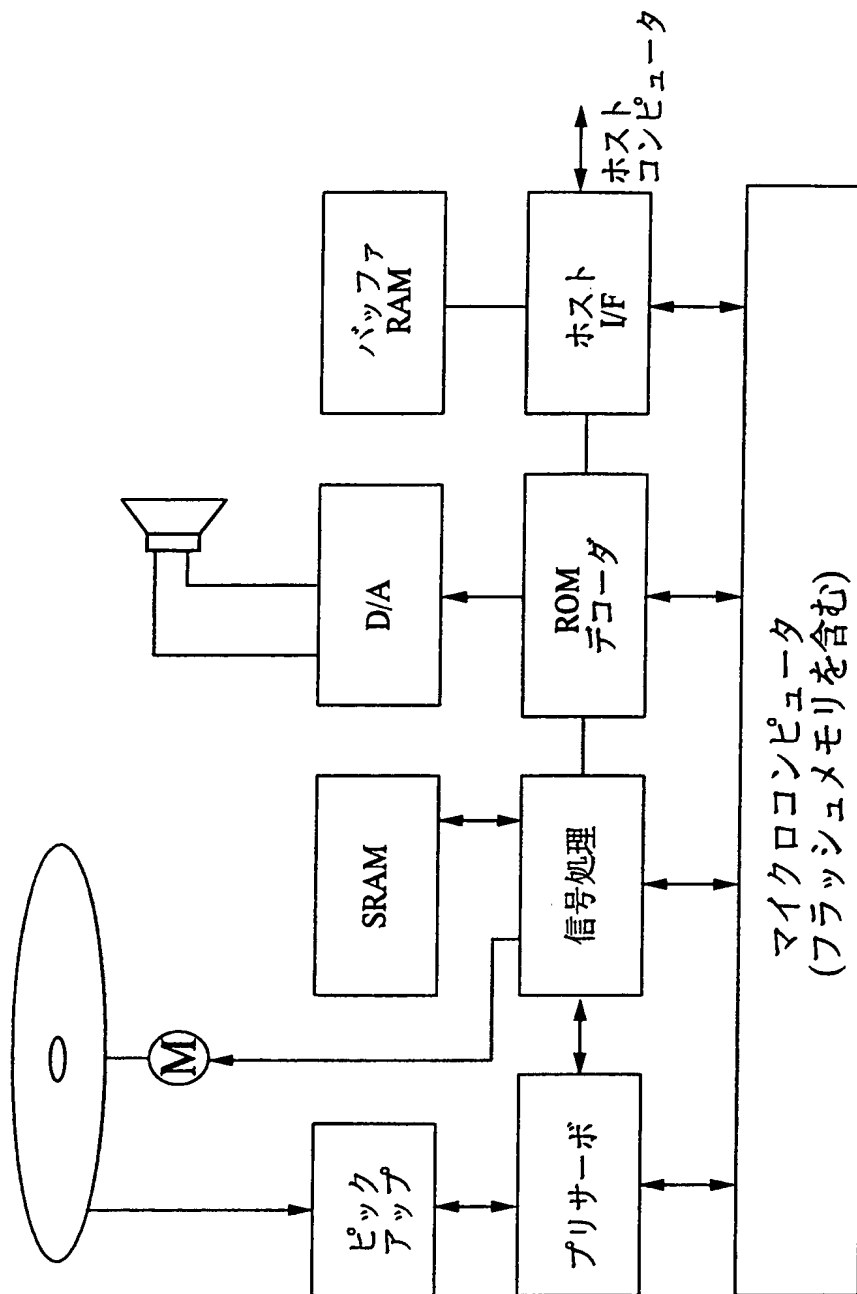


図 74



75

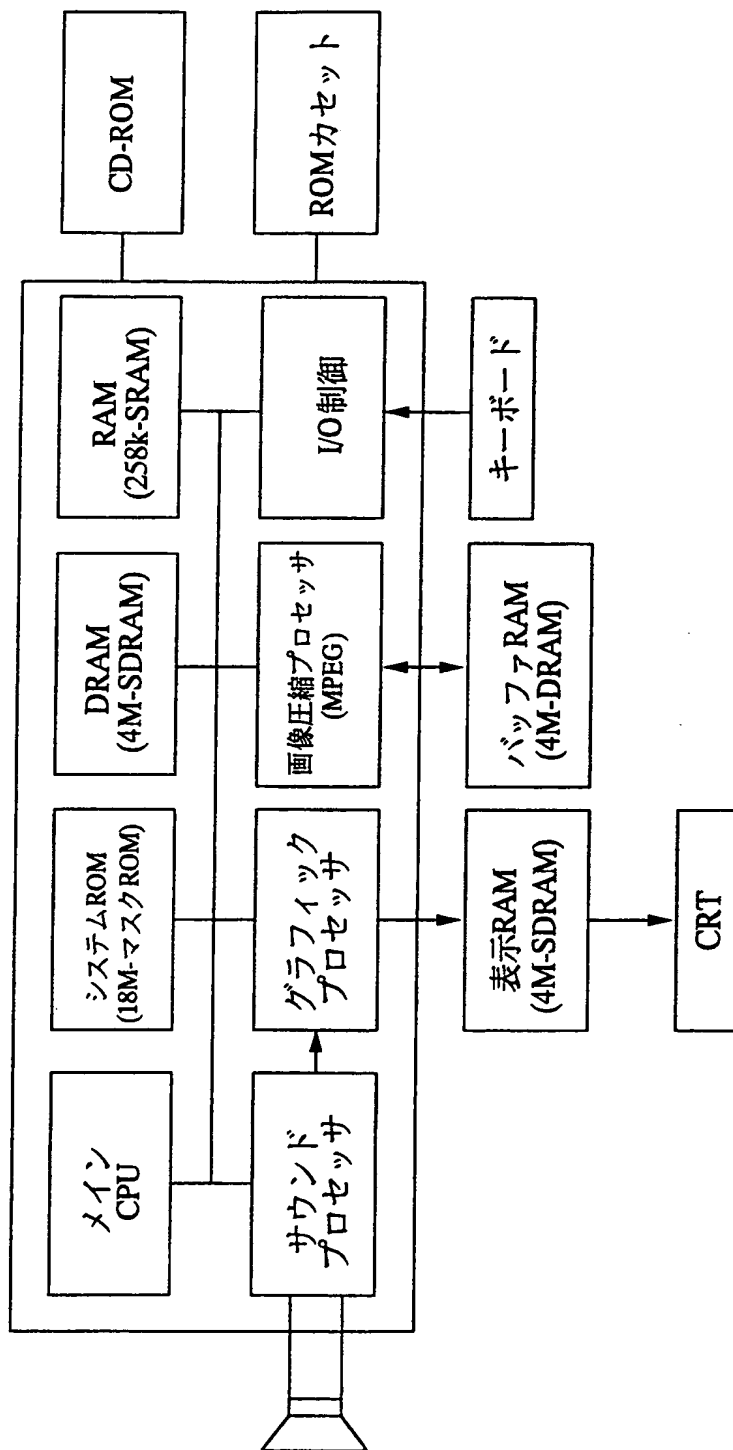


図 76

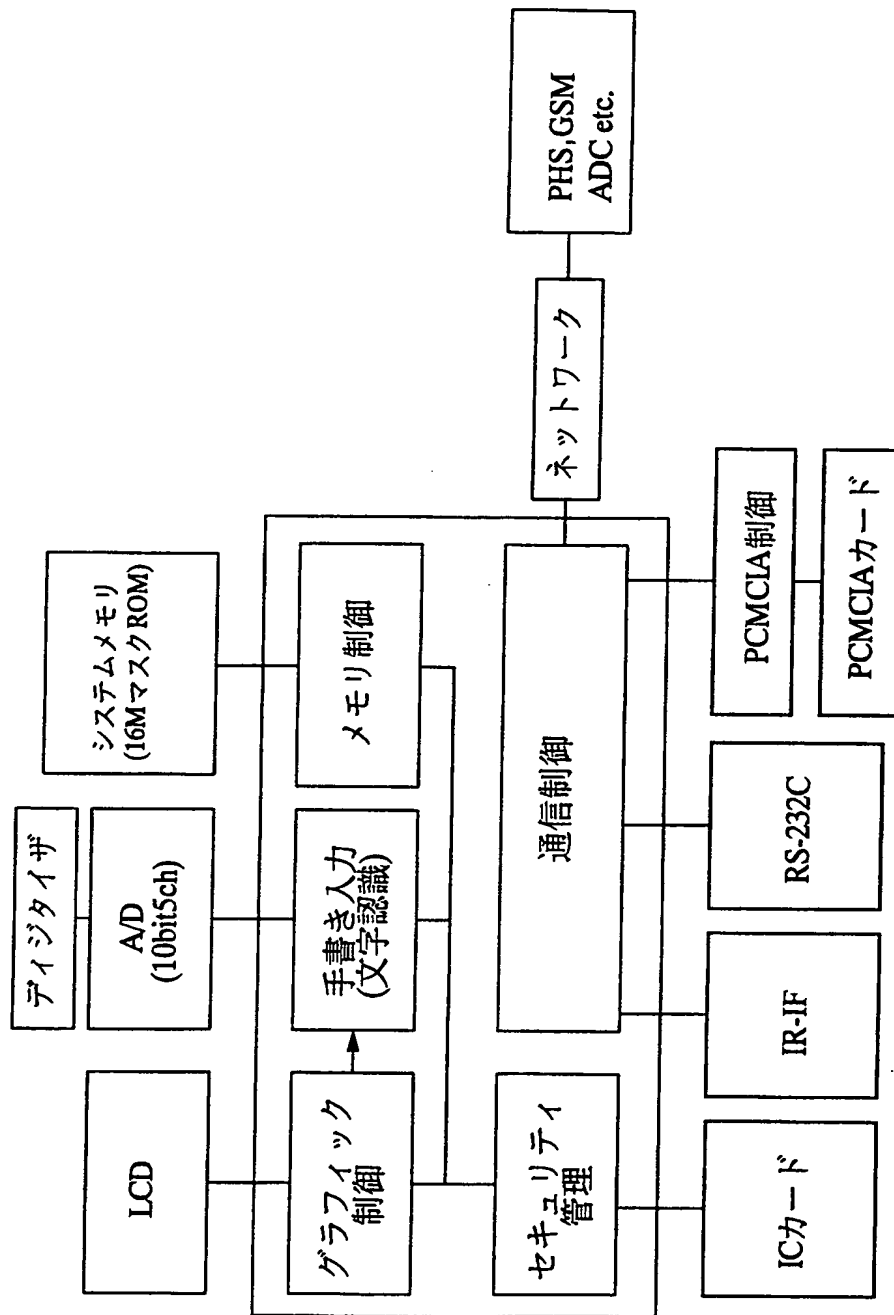




図 77

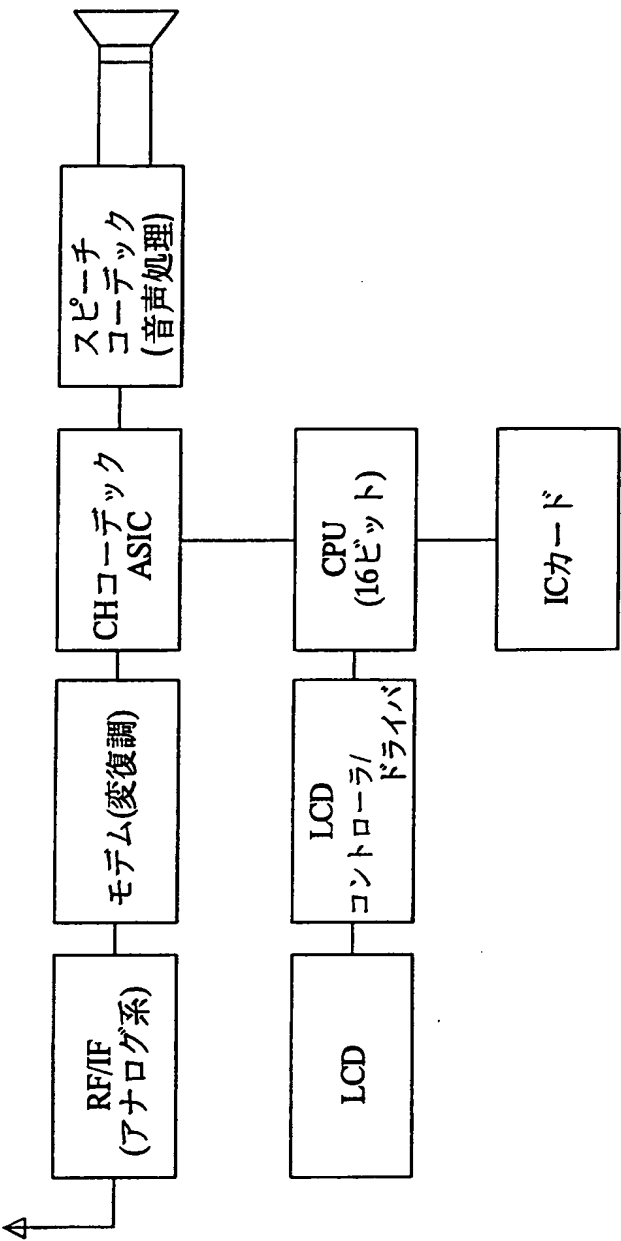


図 78

DRAM      フラッシュ  
メモリ      高耐圧  
MOSFET      ロジック  
MOSFET

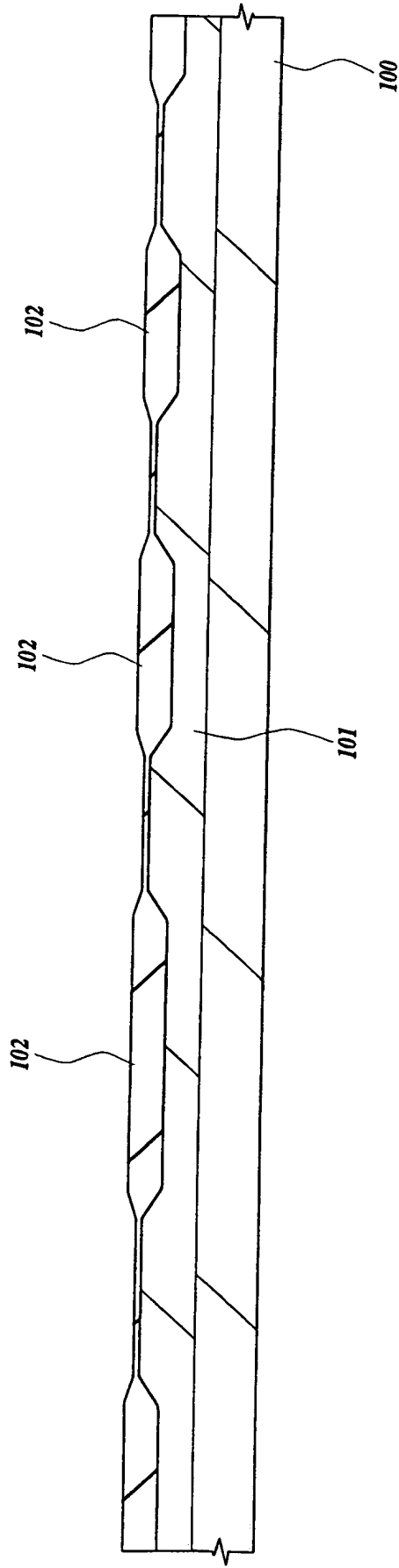


図 79

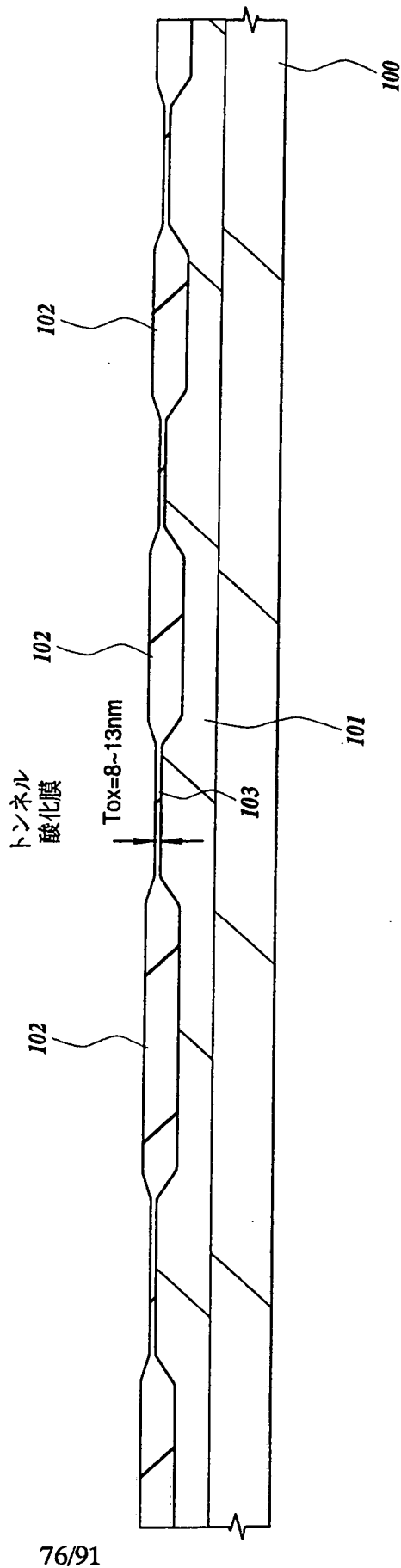


図 80

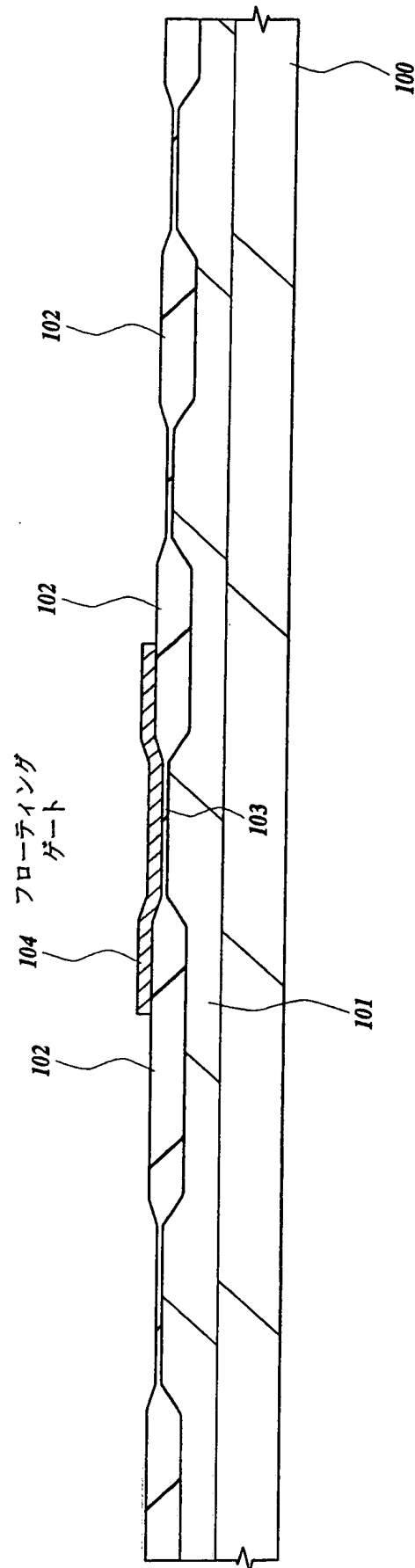


図 81

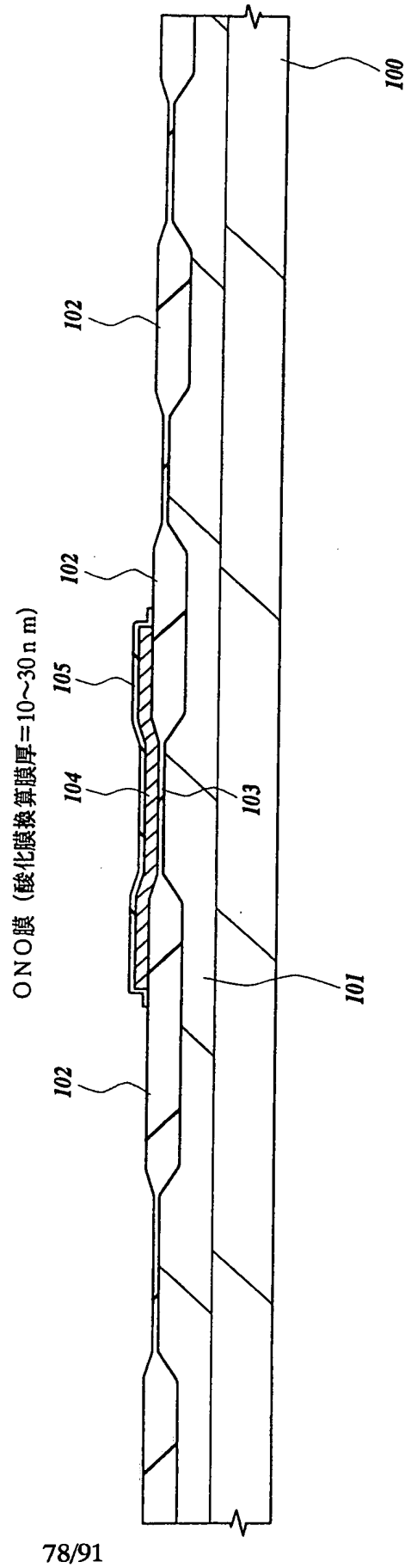


図 82

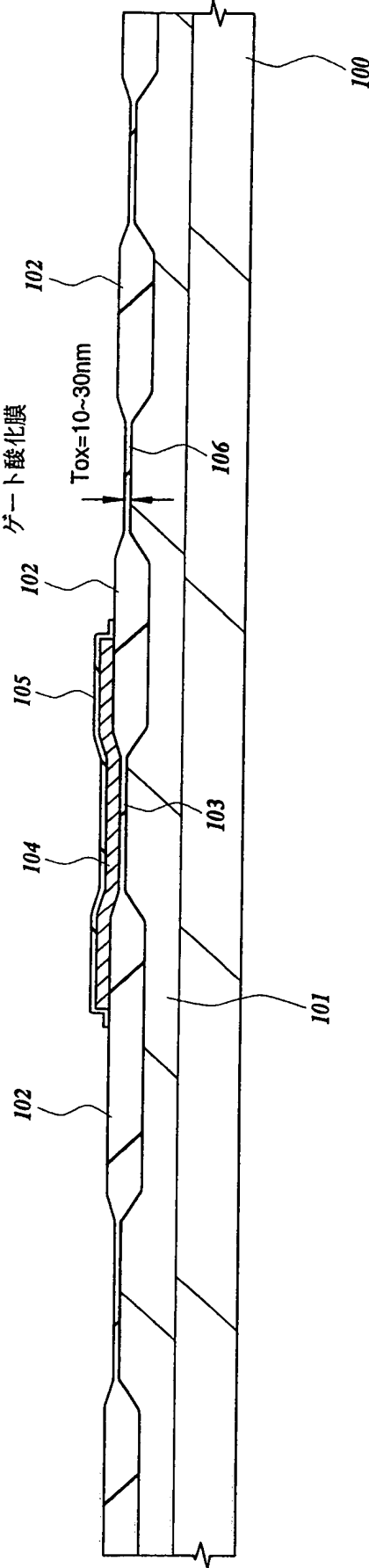


図 83

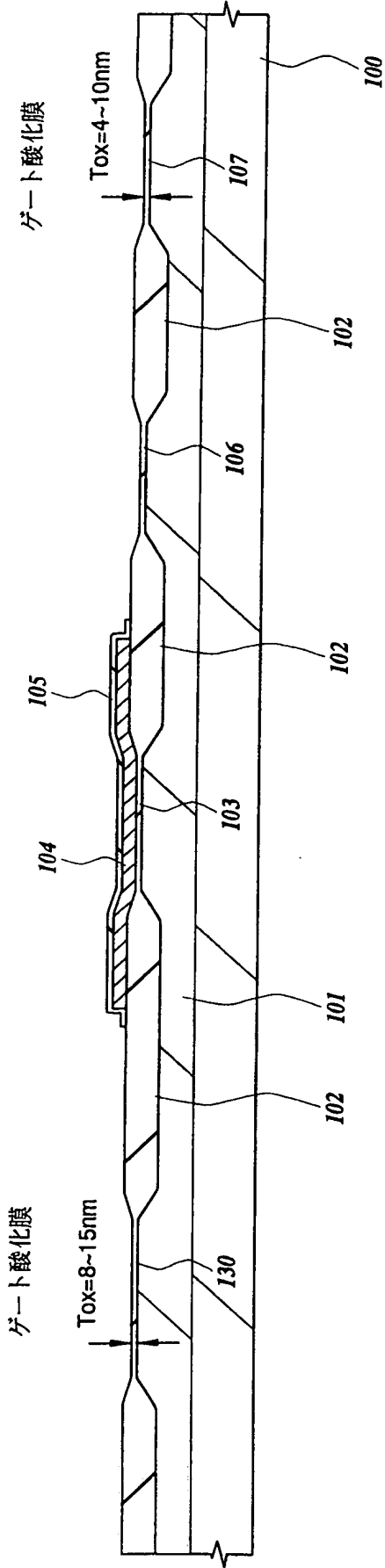


図 84

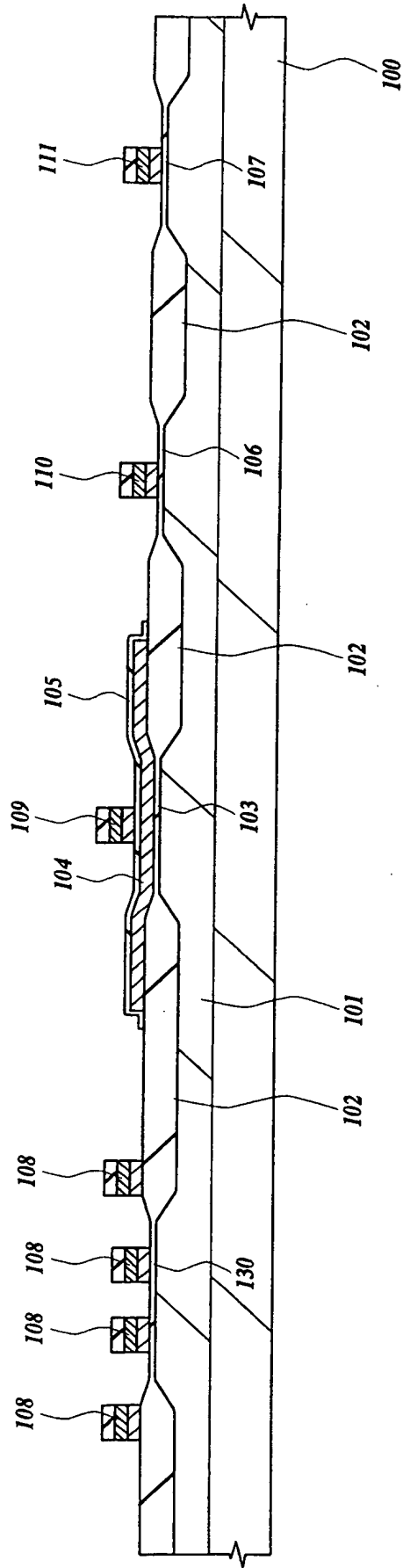
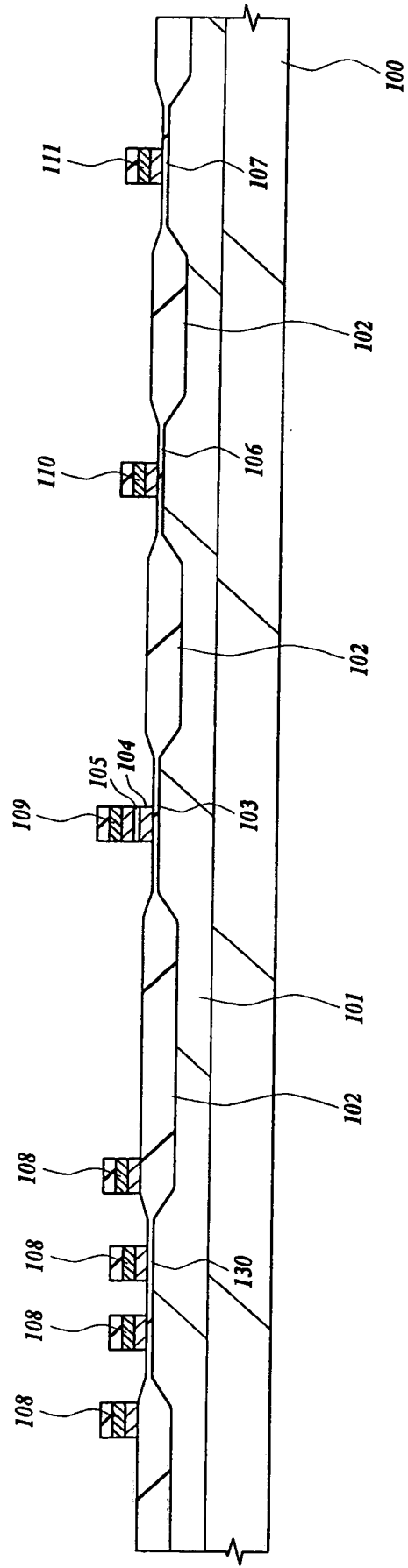




図 85



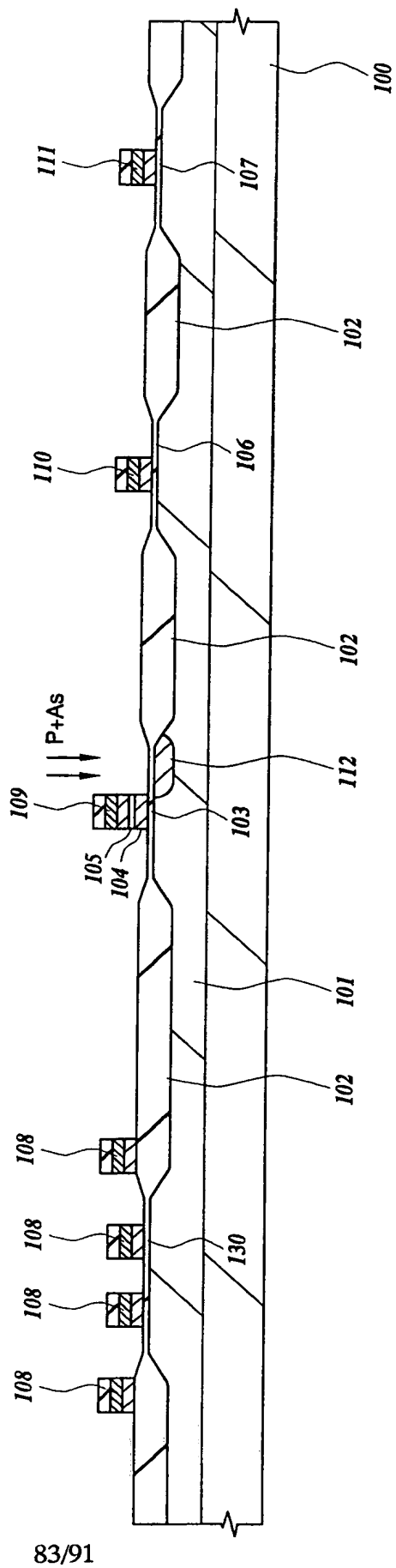
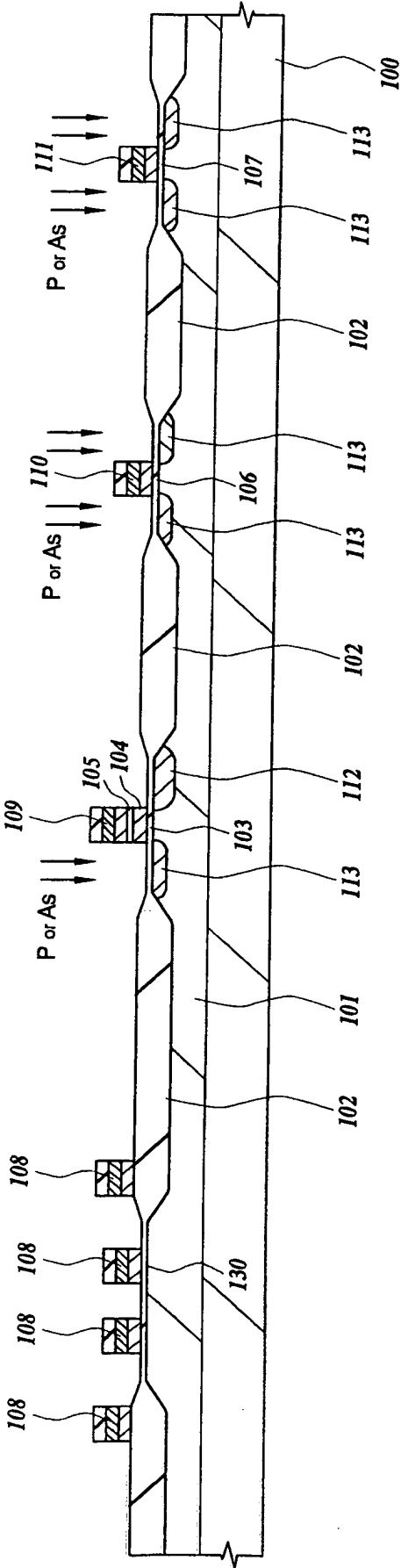
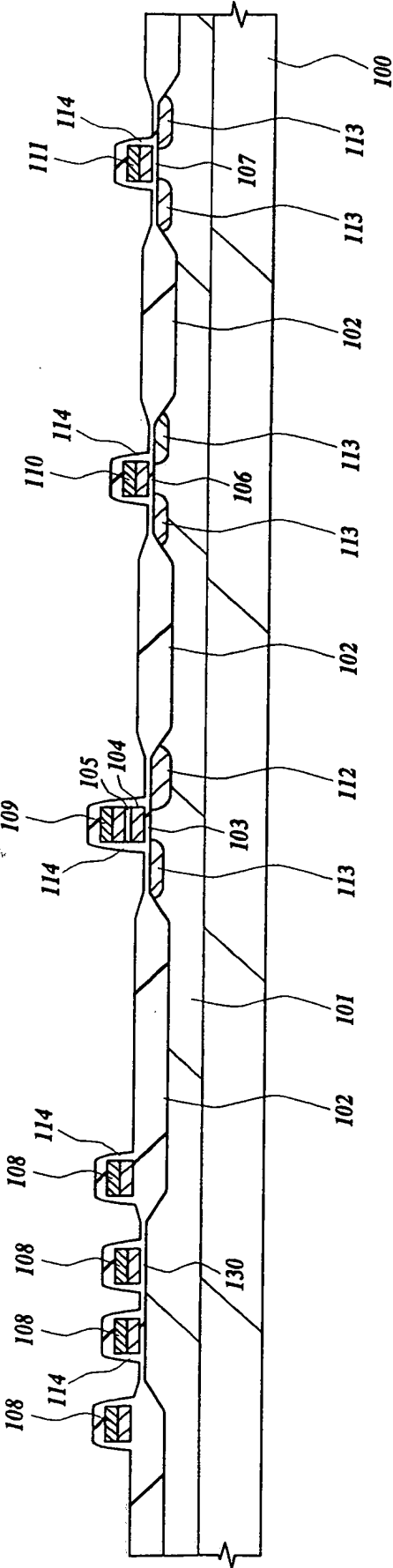


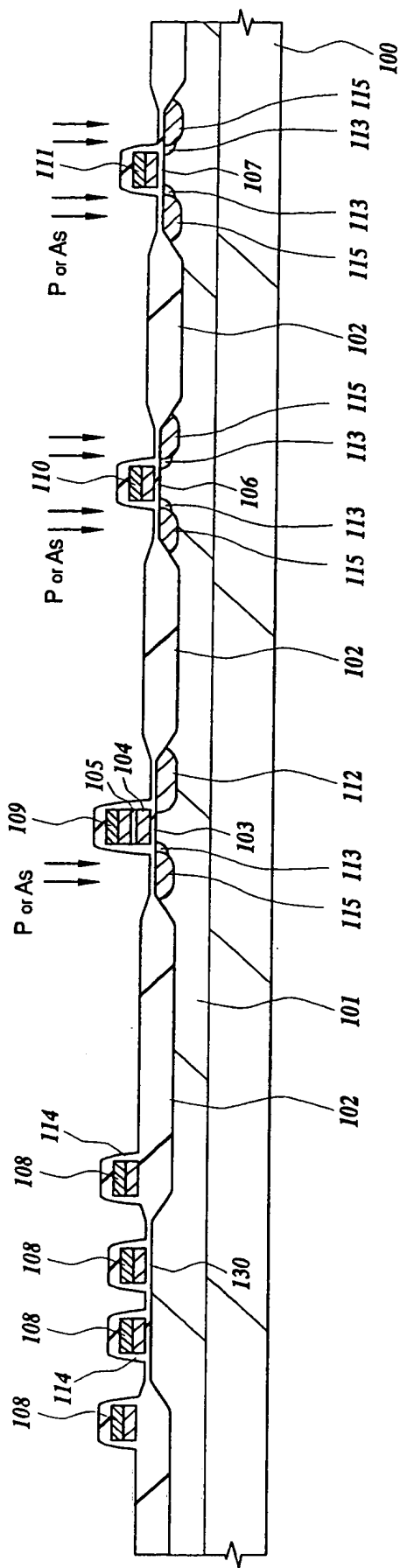
図 87



88



89



86/91

図 90

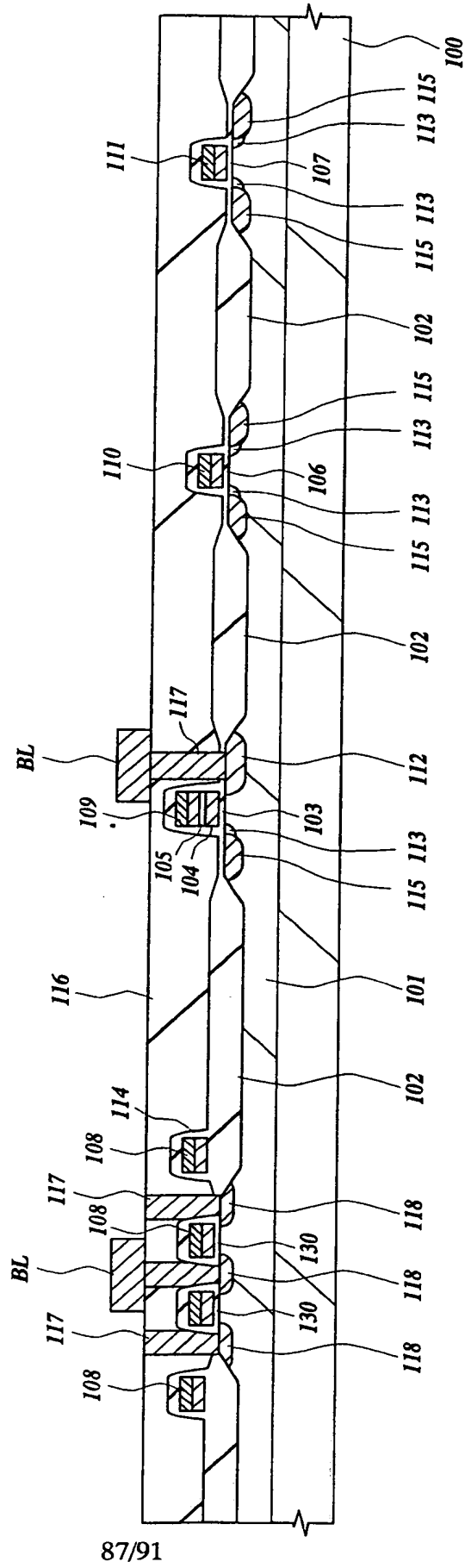


図 91

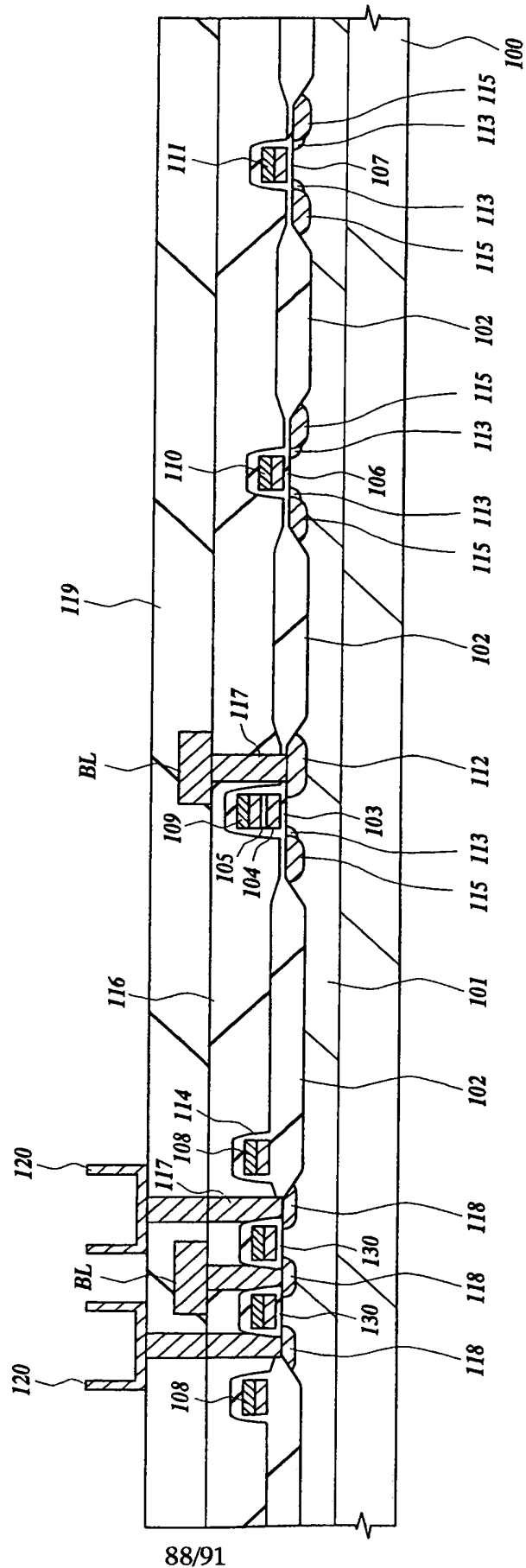


図 92

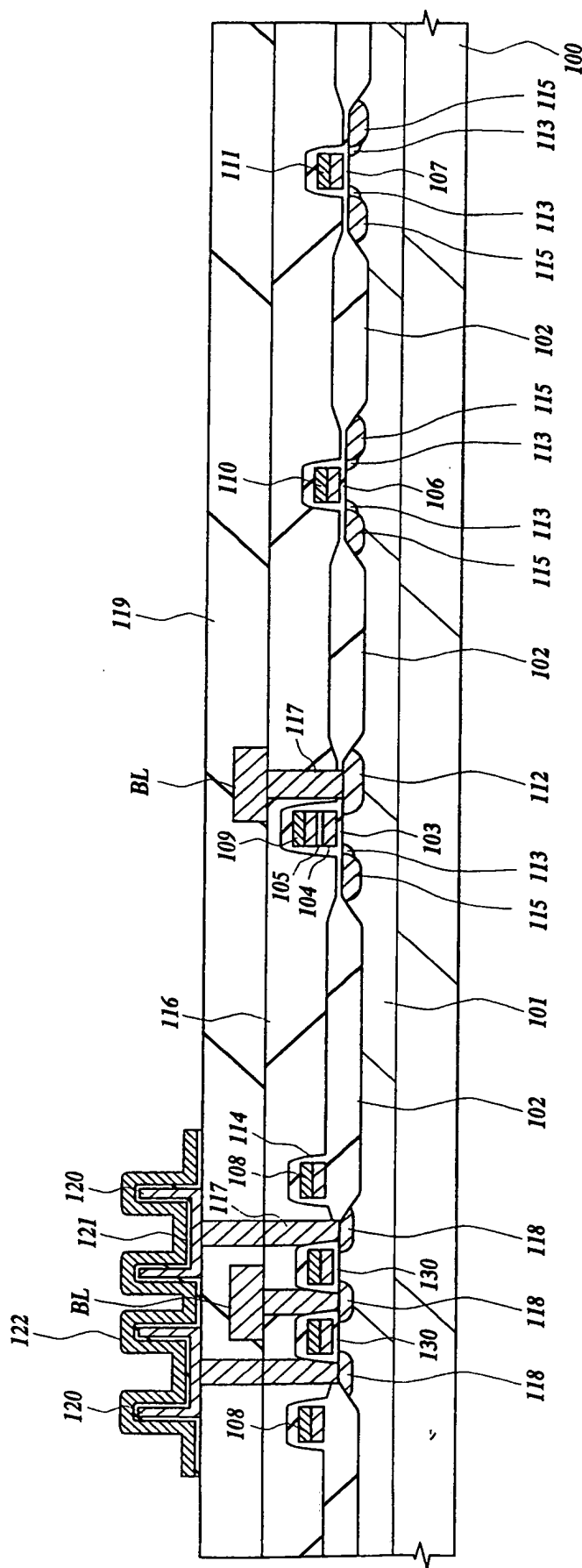




図 93

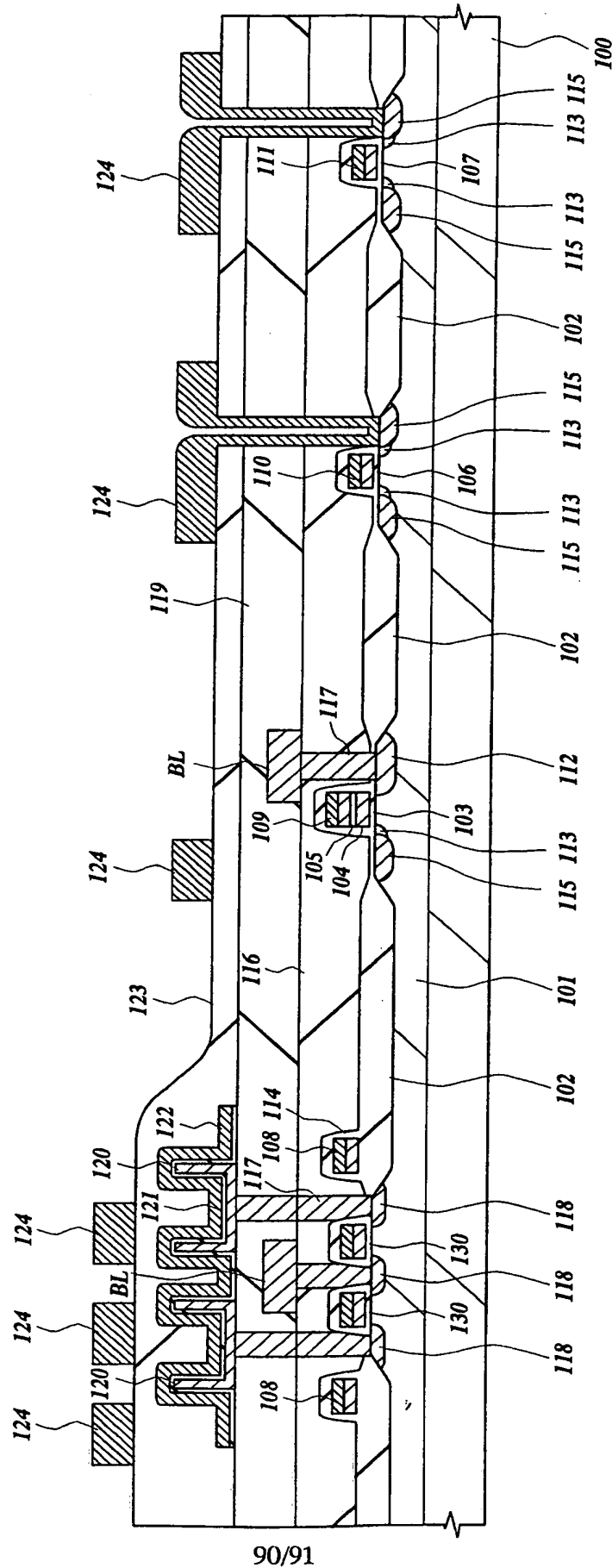
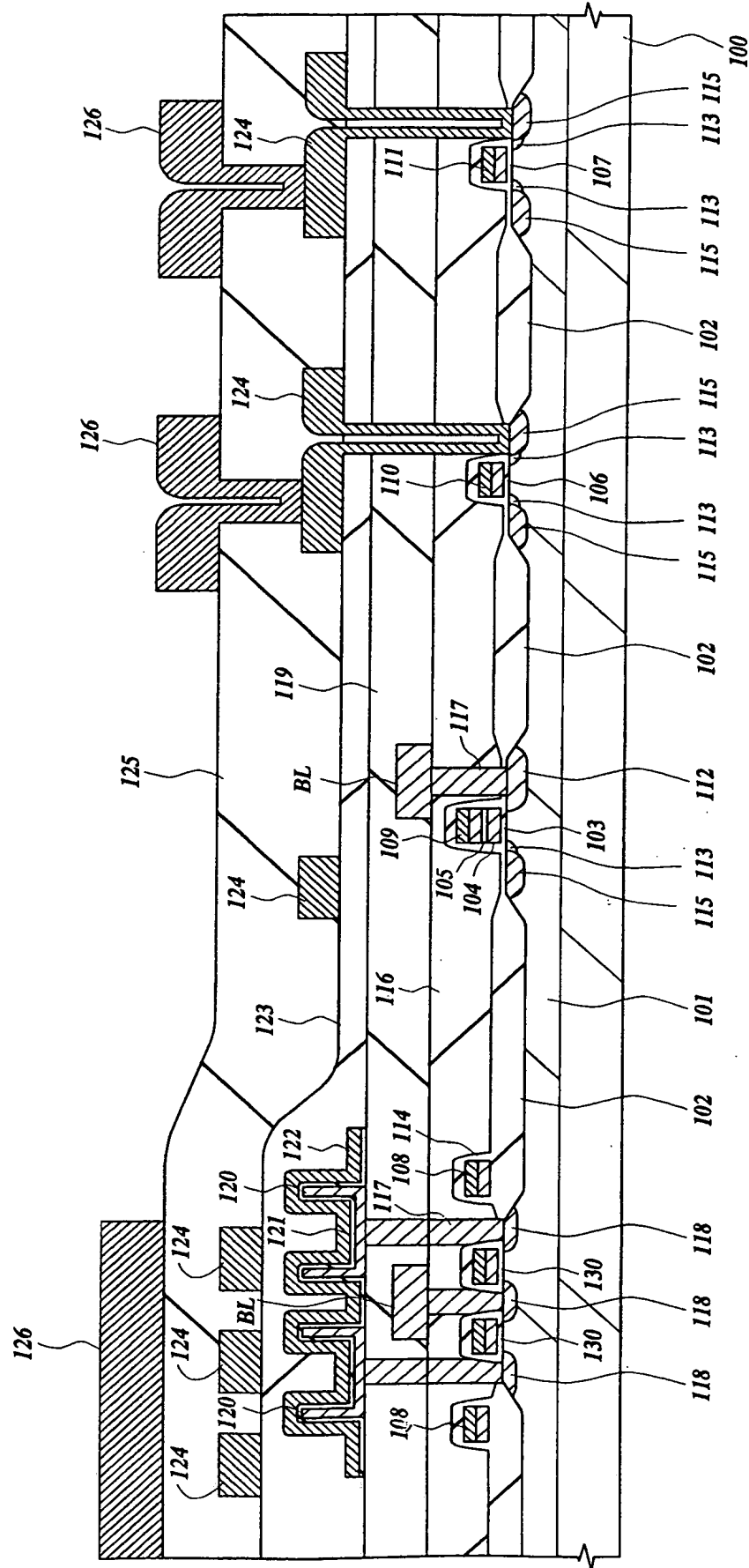


図 94



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/03548

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G11C11/407, H01L27/108

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G11C11/407, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 8-167703, A (Matsushita Electric Industrial Co., Ltd.), June 25, 1996 (25. 06. 96) (Family: none)	1 - 20
A	JP, 8-147966, A (Matsushita Electric Industrial Co., Ltd.), June 7, 1996 (07. 06. 96) (Family: none)	1 - 20
A	JP, 8-241963, A (International Business Machines Corp.), September 17, 1996 (17. 09. 96) (Family: none)	1 - 20
A	JP, 8-221313, A (Hitachi, Ltd.), August 30, 1996 (30. 08. 96) (Family: none)	1 - 20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

March 3, 1997 (03. 03. 97)

Date of mailing of the international search report

March 11, 1997 (11. 03. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl<sup>6</sup> G11C11/407, H01L27/108

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl<sup>6</sup> G11C11/407, H01L27/108

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP、8-167703、A (松下電器産業株式会社) 25. 6月. 96 (25. 06. 96) (ファミリーなし)	1-20
A	JP、8-147966、A (松下電器産業株式会社) 7. 6月. 96 (07. 06. 96) (ファミリーなし)	1-20
A	JP、8-241963、A (インターナショナル・ビジネス・マシーンズ・コーポ レーション) 17. 9月. 96 (17. 09. 96) (ファミリーなし)	1-20
A	JP、8-221313、A (株式会社日立製作所) 30. 8月. 96 (30. 08. 96) (ファミリーなし)	1-20

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

03. 03. 97

国際調査報告の発送日

11.03.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5L

8840

電話番号 03-3581-1101 内線 3563

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**